

ETT PRAKTISKT EXEMPEL MED MIKRODATORN
INTELLEC 4 MOD 4 SOM REGULATOR

GUNNAR REHNBERG

RE-180 Juni 1976
Inst. för Reglerteknik
Lunds Tekniska Högskola

EXAMENSARBETE

ETT PRAKTISKT EXEMPEL MED
MIKRODATORN INTELLEC 4 MOD 4
SOM REGULATOR

1976-02-29/Gunnar Rehnberg

Résumé

The examinationwork shows how a part of an analogical levelsystem to a piece can be replaced by a program in a microcomputer. The analogical partsystem consisted of a second order filter (used to follow the target) a non-linear function (used to seek for the target), and a few other circuits. In the support from Bofors Limited, it was demanded a digital correspondence to this system.

In consultation with the company it was decided, that the quite recently bought microcomputer Intellec 4 mod 4, intended for a another project, should be used. The company's wish for a wider experience, the difficulties at the actual point considering the deliveringtimes for a microcomputer with better performance, contributed to this decision.

The examinationwork was performed at Bofors Limited. It was then established that the Intellec 4's countingtime was too long. The result of this was that the microcomputer solved the task a bit worser than the analogical system. The report also contains advices and instructions in programming the microcomputer and how it is built up.

SAMMANFATTNING

Examensarbetet visar hur en del av ett analogt riktsystem till pjäser kan ersättas med ett program i en mikrodataor. Det analoga systemet bestod av ett filter av andra ordningen (användes för att följa målet), en olinjär funktion (användes för att söka upp målet), samt några övriga kretsar. I underlaget från Bofors AB krävdes en digital motsvarighet till detta system.

I samråd med företaget beslutades att dess nyligen inköpta mikrodataorn Intellec 4 mod 4, avsedd för ett annat projekt, skulle användas. Företagets önskemål om en bredare erfarenhet av denna, samt svårigheterna att vid den aktuella tidpunkten m.h.t. leveranstider erhålla en mikrodataor med bättre prestanda bidrog till detta beslut.

Examensarbetet utfördes på Bofors AB. Resultatet visar att mikrodataorn mycket exakt åstadkommer de matematiska funktioner som krävdes. Räknetiden för andragradsfiltret blev dock så lång , att samplingsfrekvensen fick sänkas. Detta medförde att det totala systemet blev långsammare. Rapporten innehåller även råd och anvisningar hur man skall programmera mikrodataorn och hur den är uppbyggd.

INNEHÅLLSFÖRTECKNING

1. Examensarbetets problemspecifikation
2. Problemets lösning analogt på analogmaskinen
3. Problemets lösning i mikrodator tillsammans med analogmaskinen
4. Programmet
5. Mikrodatorn Intellec 4 som hårdvara
6. Programmering av Intellec 4
7. Bilagor

PROBLEMSPECIFIKATION

1. Digital realisering av G_o med efterföljande D/A-omvandling, G_o är given och skall enkelt kunna dimensioneras om för andra värden på \dot{y}_{\max} , \ddot{y}_{\max} , K_a och T_d .
2. Digital realisering av G_r . G_r är given. I anslutning till detta bör omkopplingen mellan G_o och G_r integreras med filtren för att undvika "hopp" i utsignalen. Omkopplingen mellan T_{d1} och T_{dH_d} i (x-y)-kanalen skall synkroniseras med G_o och G_r . Vidare skall omkopplingen G_o till G_r ske τ sek efter att villkoret $|x-y| < \varepsilon$ uppfyllts. Omkopplingen G_r till G_o skall ske vid $|x-y| > \varepsilon$ utan fördröjning.
3. Provning av laboratorieprototyp i analogmaskin.
4. För- och nackdelar jämfört med analog lösning.
5. Teknisk rapport

Anm. Ovanstående beteckningar hänvisar till sid 1:2

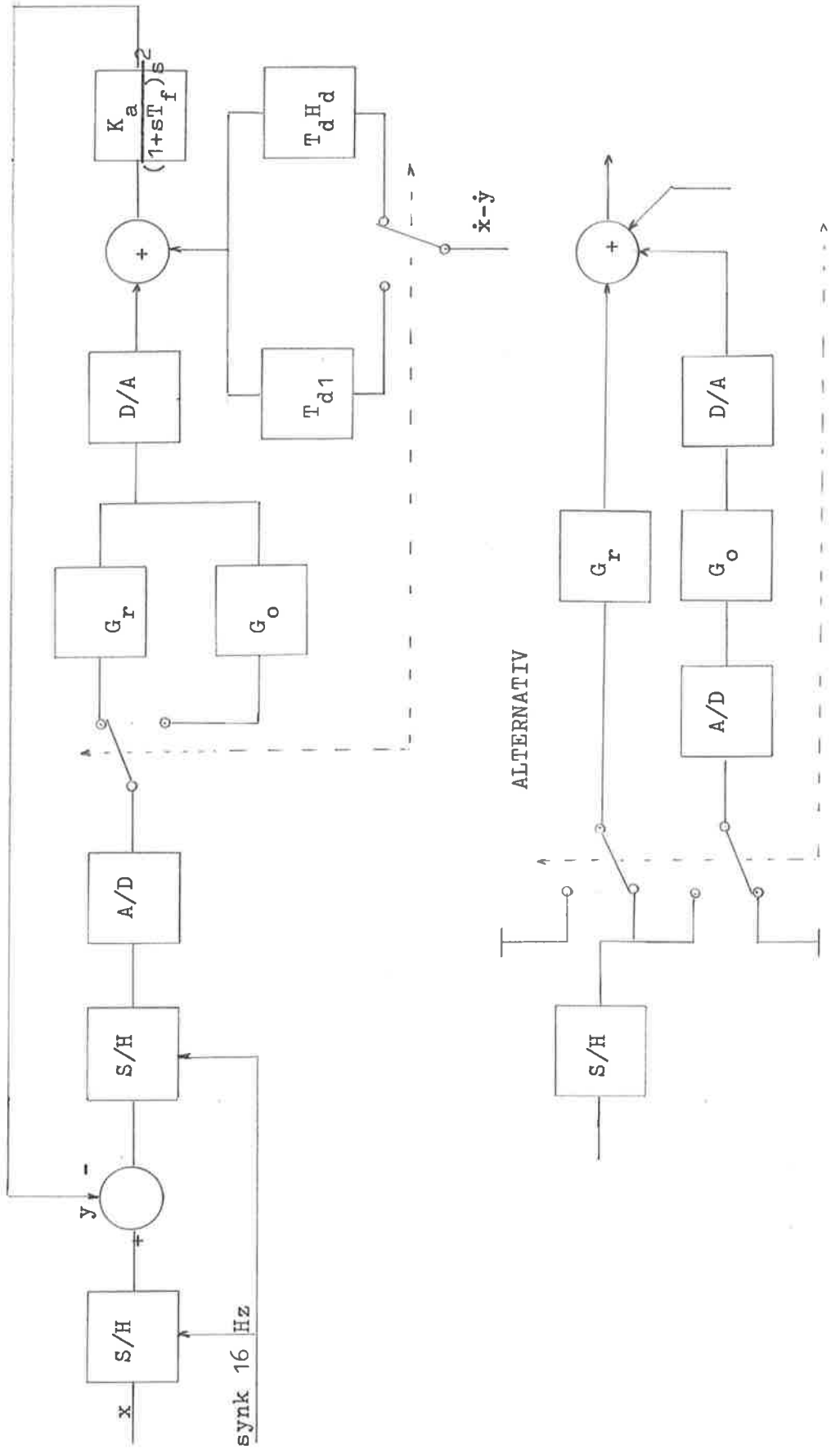
PRINCIPSCHEMA ANALOGIMASKINUPPKOPPLING

$$G_r = \frac{1+2 \cdot 0.5s/3+s^2/3}{1+2 \cdot 0.45s/1.9+s^2/1.9^2}$$

$$G_o = \frac{0.76}{1+1.30/x-y/}$$

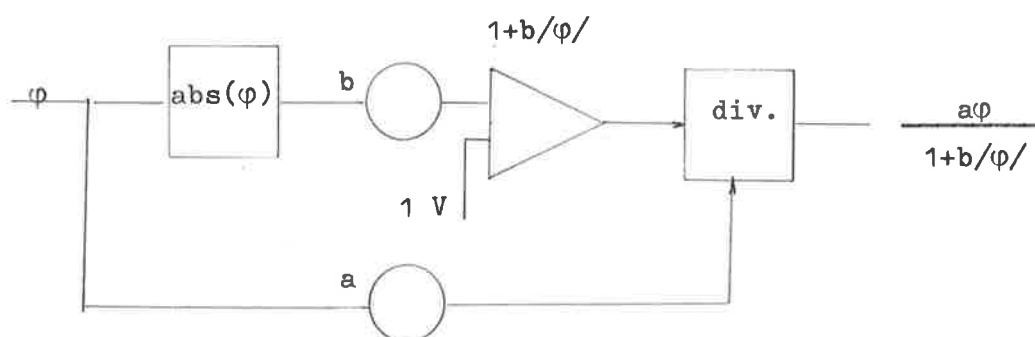
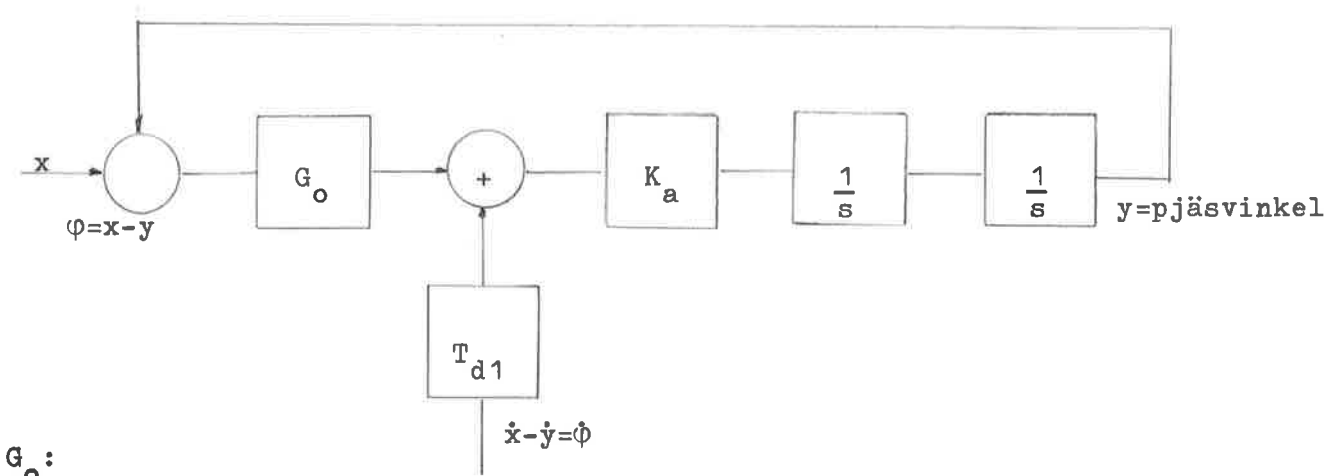
$K_a = 300$
 $T_f = 0.015$
 $T_{d1} = 0.18$

G_r och T_{dHd} inkopplade under målföljning
 G_o och T_{d1} inkopplade under målfattning



PROBLEMETS LÖSNING ANALOGT PÅ ANALOGIMASKINEN

Systemuppbyggnad under inbromsning av pjäsen:



Det olinjära servonätet G_o kan uttryckas som

$$G_o = \frac{a}{1 + b/\varphi}$$

där $a = 0.76$, $b = 1.30$, samt $T_{d1} = 0.18$ visat sig vara lämpliga värden.

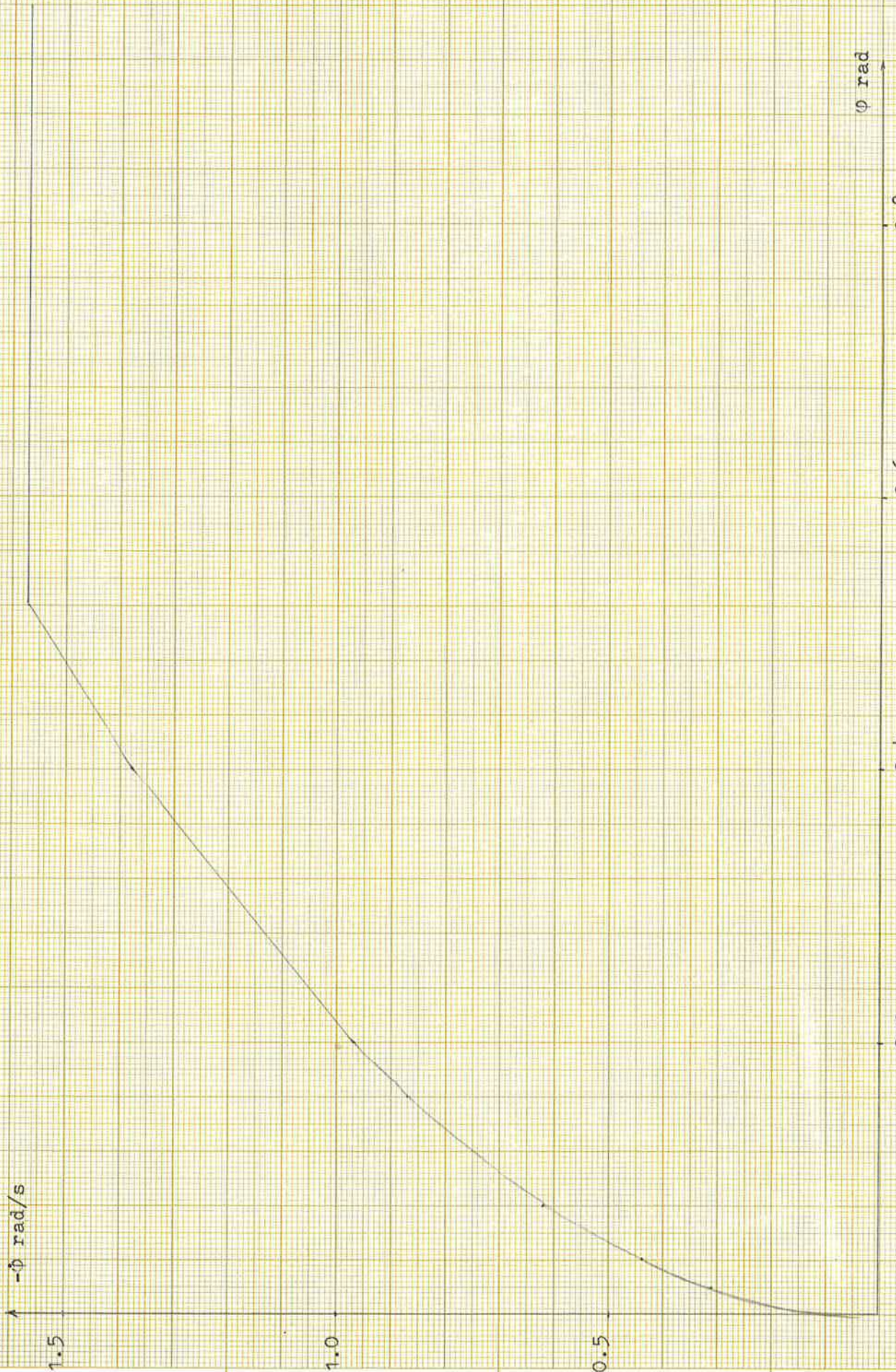
BROMSPARABEL

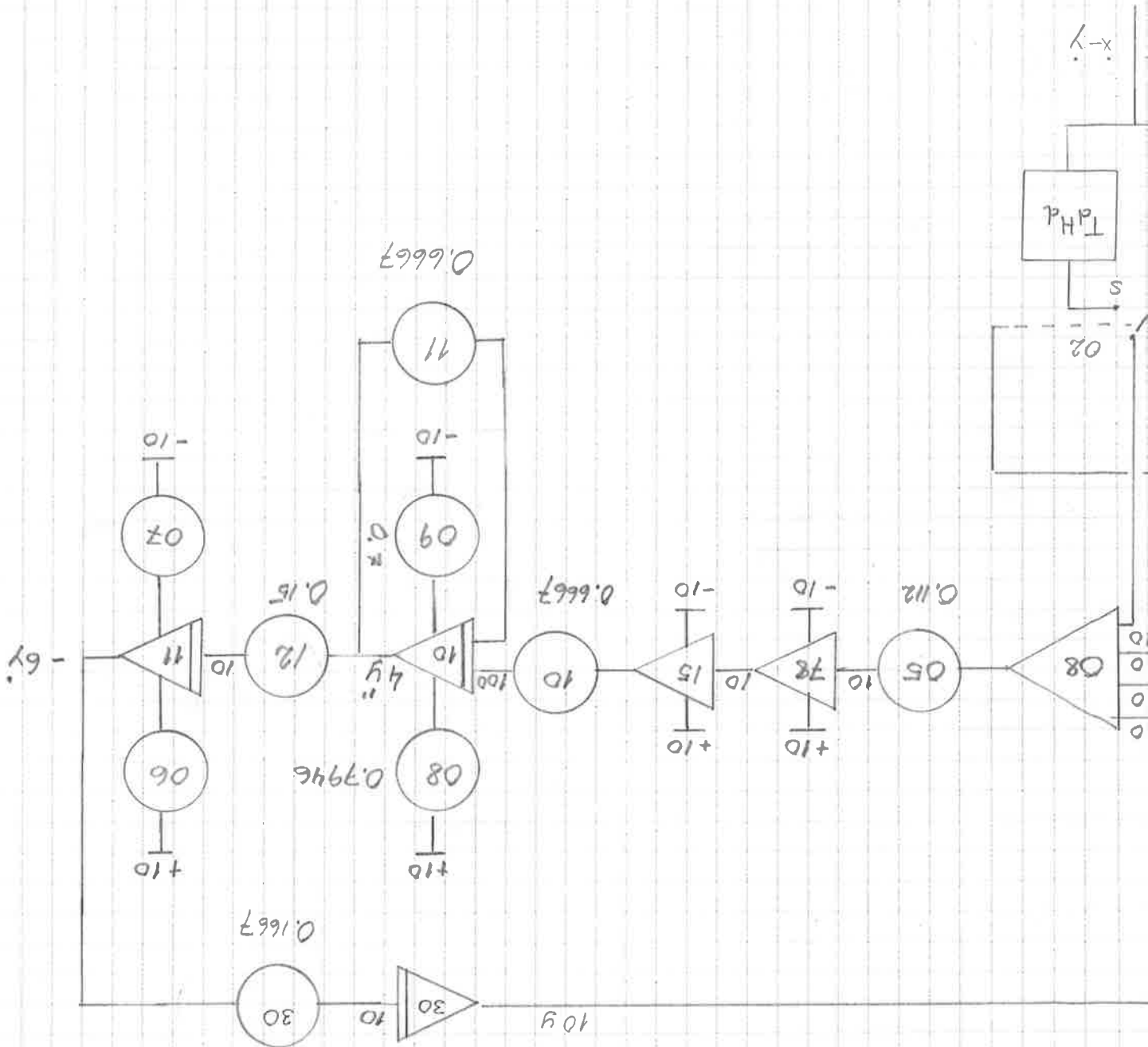
$$-\dot{\phi} = \sqrt{2/\phi_{\max}} / \sqrt{\phi}$$

$$\phi_{\max} = 1.57 \text{ rad/s}$$

$$\ddot{\phi}_{\max} = 2.36 \text{ rad/s}^2$$

2:3





PROBLEMETS LÖSNING I MIKRODATOR TILLSAMMANS MED ANALOGIMASKINEN

Eftersom programmet i huvudsak skulle realisera ett digitalt filter av andra ordningen samt en olinjär funktion försöktes dessa problem att lösas först. Det digitala filtret skulle man då kunna realisera med hjälp av Z-transformen eller utnyttja approximationer för tidsderivatorna. Med hjälp av Z-transformen och samplingsfrekvensen 16 Hz kan

$$G_r(s) = \frac{1 + s/3 + s^2/3^2}{1 + 0.9s/1.9 + s^2/1.9^2}$$

transformeras om till

$$G_r(z) = \frac{0.918544z^2 - 1.142268z + 0.360454}{z^2 - 1.885278z + 0.898638}$$

Systemet blev dock instabilt, p.g.a att räknetiden för andragsgrads-filtret blev längre än samplingstiden. Därför sänktes samplingsfrekvensen till 2 Hz, vilket var möjligt enligt samplingsteoremet, tidsderivataapproximationer användes, samt G_r försågs med lämpliga inkopplingsvärden.

För S-transformen gäller att utsignalen från filtret G_r kan skrivas enligt $Y(s) = G_r(s)E(s)$. $G_r(s)$ omskrives till:

$$G_r(s) = \frac{3.61 + 1.20333s + 0.40111s^2}{3.61 + 1.71s + s^2}$$

I tidsplanet fås därför differentialekvationen

$$\frac{d^2 y}{dt^2} + 1.7 \frac{dy}{dt} + 3.61y = 3.61e + 1.20333 \frac{de}{dt} + 0.40111 \frac{de^2}{dt^2}$$

Tidsderivatorna kan approximeras enligt

$$\frac{dz}{dt} = \frac{z(t) - z(t-T)}{T} \quad , \quad \frac{dz^2}{dt^2} = \frac{z(t) - 2z(t-T) + z(t-2T)}{T^2}$$

Med samplings tiden $T=0.5$ s kan därför utsignalen $y(t)$ skrivas som:

$$1. \quad y(t) = 0.690915e(t) - 0.509116e(t-T) + 0.145461e(t-2T) + \\ + 1.035358y(t-T) - 0.362470y(t-2T)$$

Vid stationärt tillstånd gäller att

$$y(t) = y(t-T) = y(t-2T) = y(\infty) \quad \text{och} \quad e(t) = e(t-T) = e(t-2T) = e_0$$

insättes detta i 1. erhålles:

$$0.327280y(\infty) = 0.37260e_0$$

$$y(\infty) = 0.99946e_0$$

detta kan jämföras med värdet på G_r när $s=0$ vilket ger att $G_r(0)=1$

Vi kan därför fastslå att ingångsvärdena för G_r bör vara stationära. Vidare införes en tidsfördröjning på 180 ms innan G_r inkopplas för att undvika överslängar p.g.a. för tidig inkoppling av G_r . Vidare kan vi testa systemets uppförande i tiden genom att tilldela insignalen ett antal värden och se hur utsignalen följer dessa.

1. omskrivet med färre decimaler ger:

$$2. \quad y(t) = 0.69e(t) - 0.51e(t-T) + 0.15e(t-2T) + 1.03y(t-T) - 0.36y(t-2T)$$

<u>tidpunkt</u>	<u>insignal e(t)</u>	<u>utsignal y(t)</u>	<u>kommentar</u>
0	0.50	0.50	begynnelsevärde
0	0.50	0.50	begynnelsevärde
0	0.50	0.50	
T	0.40	0.43	stegändring
2T	0.40	0.41	
3T	0.40	0.40	
4T	0.40	0.40	
5T	-0.40	-0.15	stegändring
6T	-0.40	-0.31	
7T	-0.40	-0.40	
8T	-0.40	-0.43	
9T	-0.40	-0.42	
10T	-0.40	-0.41	
11T	-0.40	-0.40	
12T	-0.40	-0.40	

Koefficienterna skalas med hälften i mikrodatorn för att dessa skall ligga inom det tillåtna talområdet för denna, det vill säga:

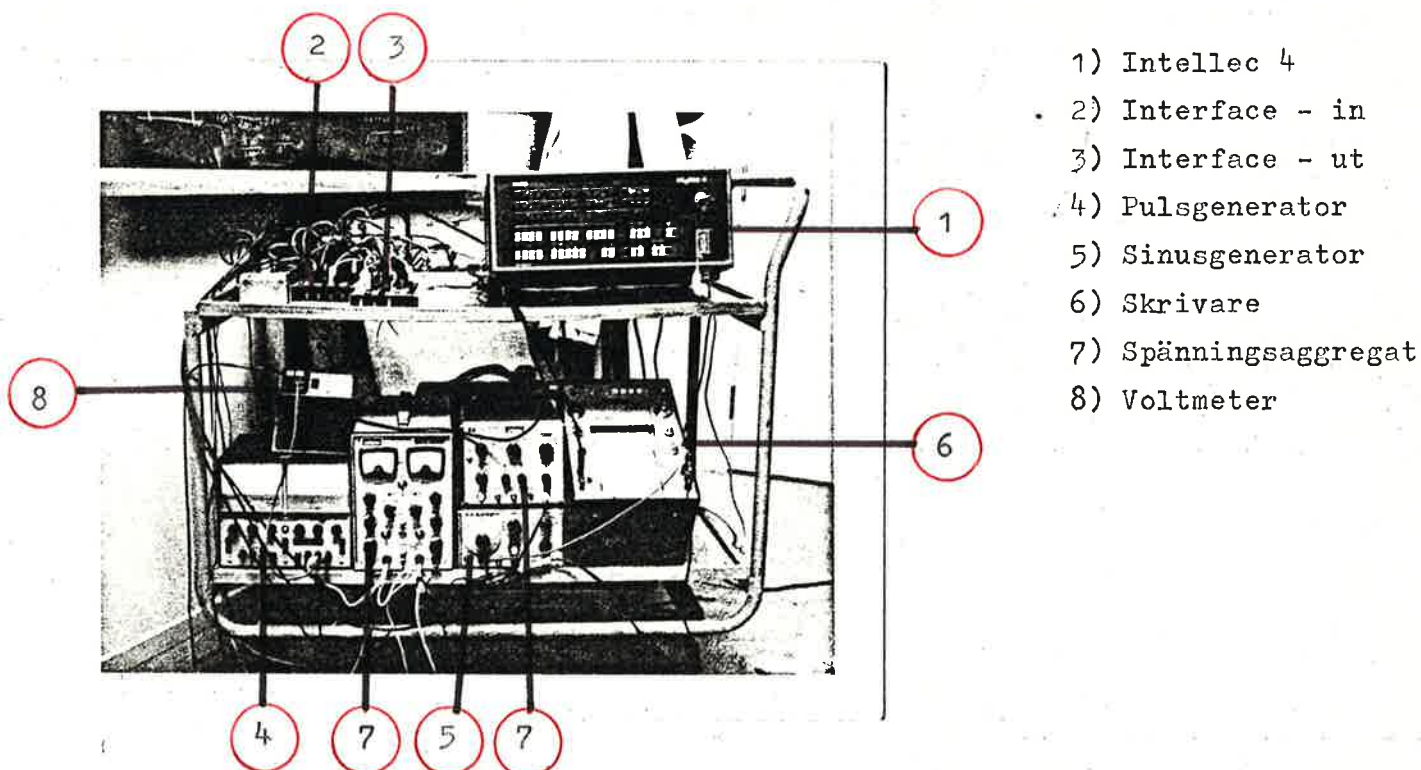
$$y(t) = 2(0,345 e(t) - 0,275 e(t-T) + 0,075 e(t-2T) + 0,565 y(t-T) - 0,18 y(t-2T)) = 2(GR1 e(t) - GR2 e(t-T) + GR3 e(t-2T) + GR4 y(t-T) - GR5 y(t-2T))$$

Detta uttryck användes sedan i programmet, fränsett att koefficienterna modifierades något på grund av kvantifieringen.

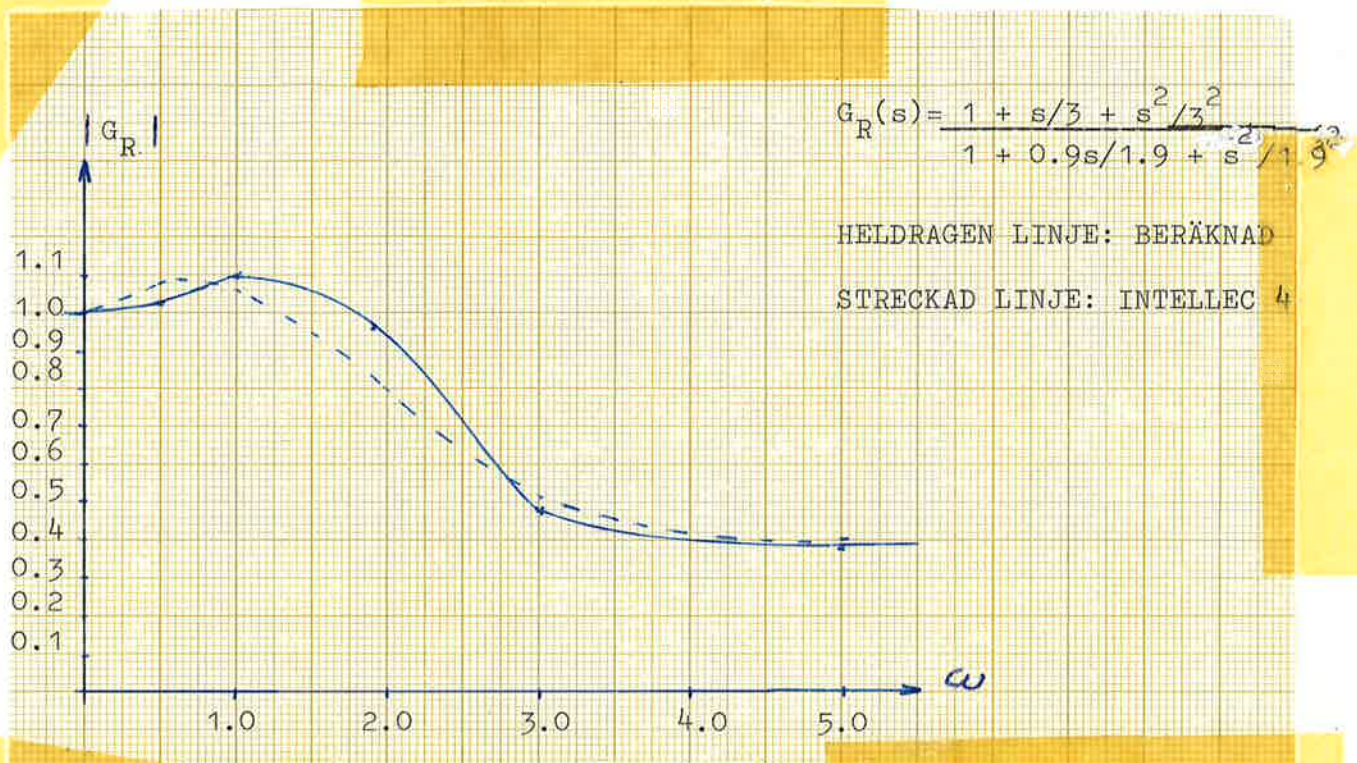
Eftersom en noggrannhet på $2^{-11} \approx 0,5$ o/oo kunde accepteras baserades programmet på 12 bitar. Då funktionen $G_0(\varphi) = \frac{G\varphi_1}{1+G\varphi_2/\varphi}$ och ut-

trycket för $y(t)$ innehåller operationerna multiplikation och division gjordes dessa som subrutiner först. Varje subrutin som ingår i huvudprogrammet testades sedan antingen via panelen eller teletypen, innan de godkändes. När sedan alla de i huvudprogrammet ingående subrutinerna var uttestade, byggdes ett interface till mikrodatorn enligt sida 5:9, 5:10 samt kopplingslådor innehållande A/D-omvandlaren FMI 170-12 och D/A-omvandlaren FMI 416B. Se bilaga 7:2 ff.

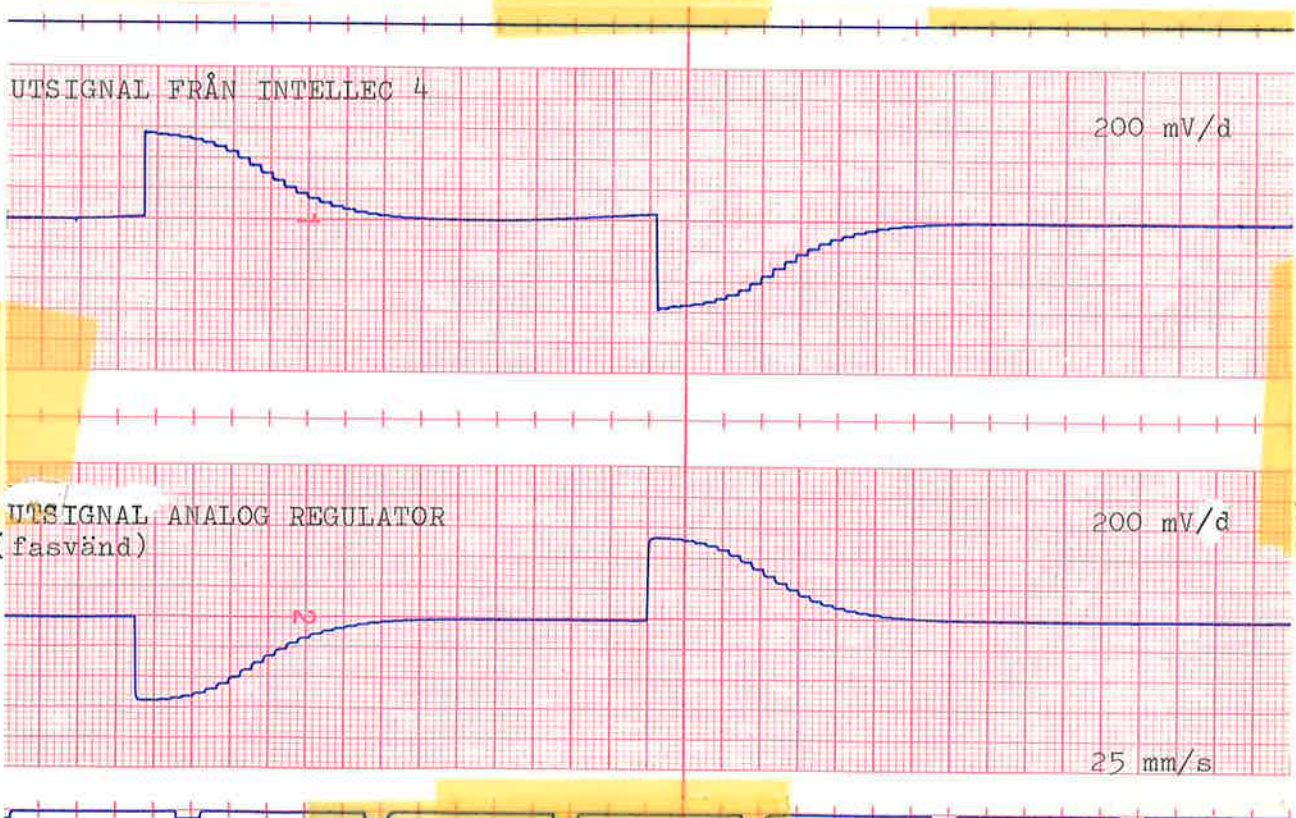
Nedanstående bild visar den totala utrustningen som utnyttjades.

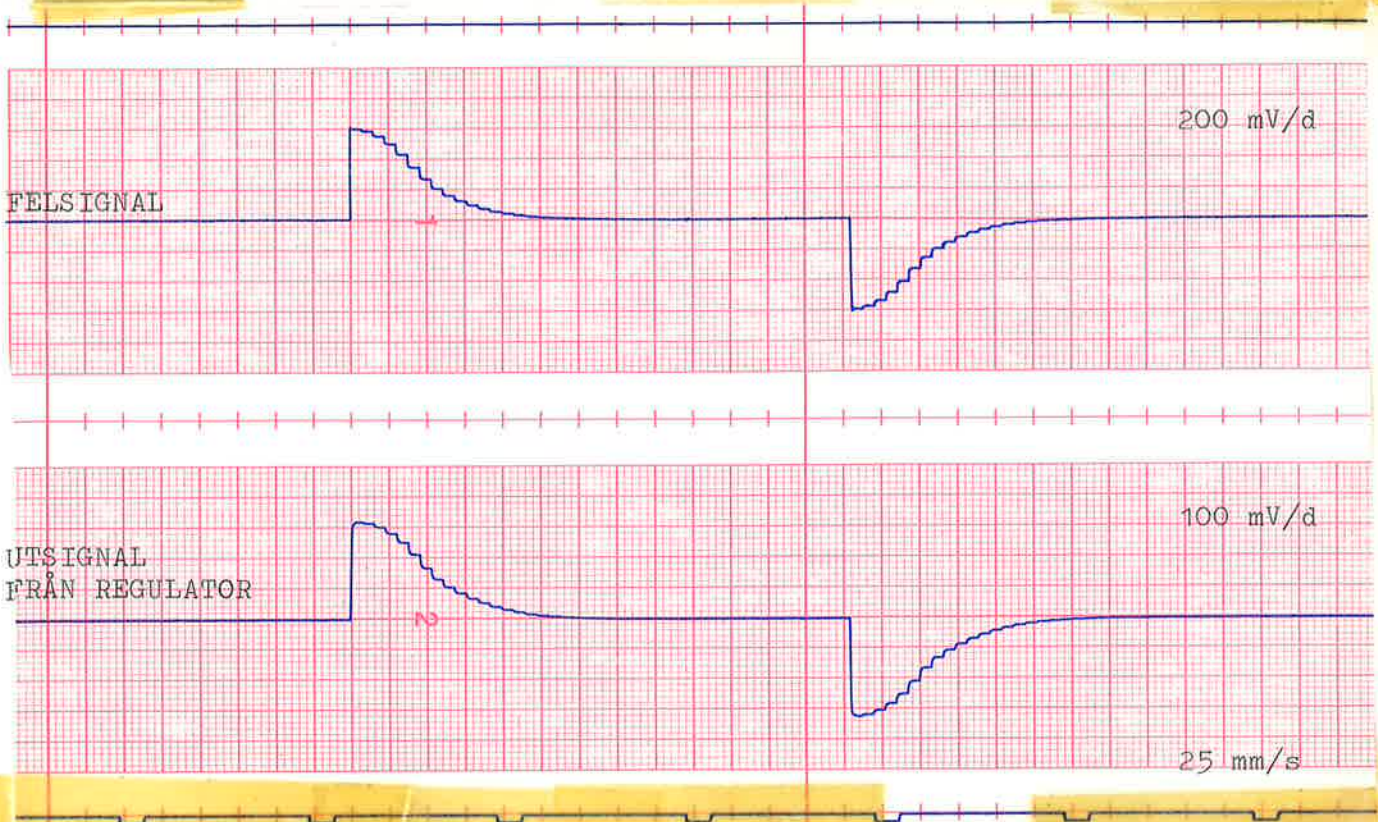


- 1) Intellec 4
- 2) Interface - in
- 3) Interface - ut
- 4) Pulsgenerator
- 5) Sinusgenerator
- 6) Skrivare
- 7) Spänningsaggregat
- 8) Voltmeter

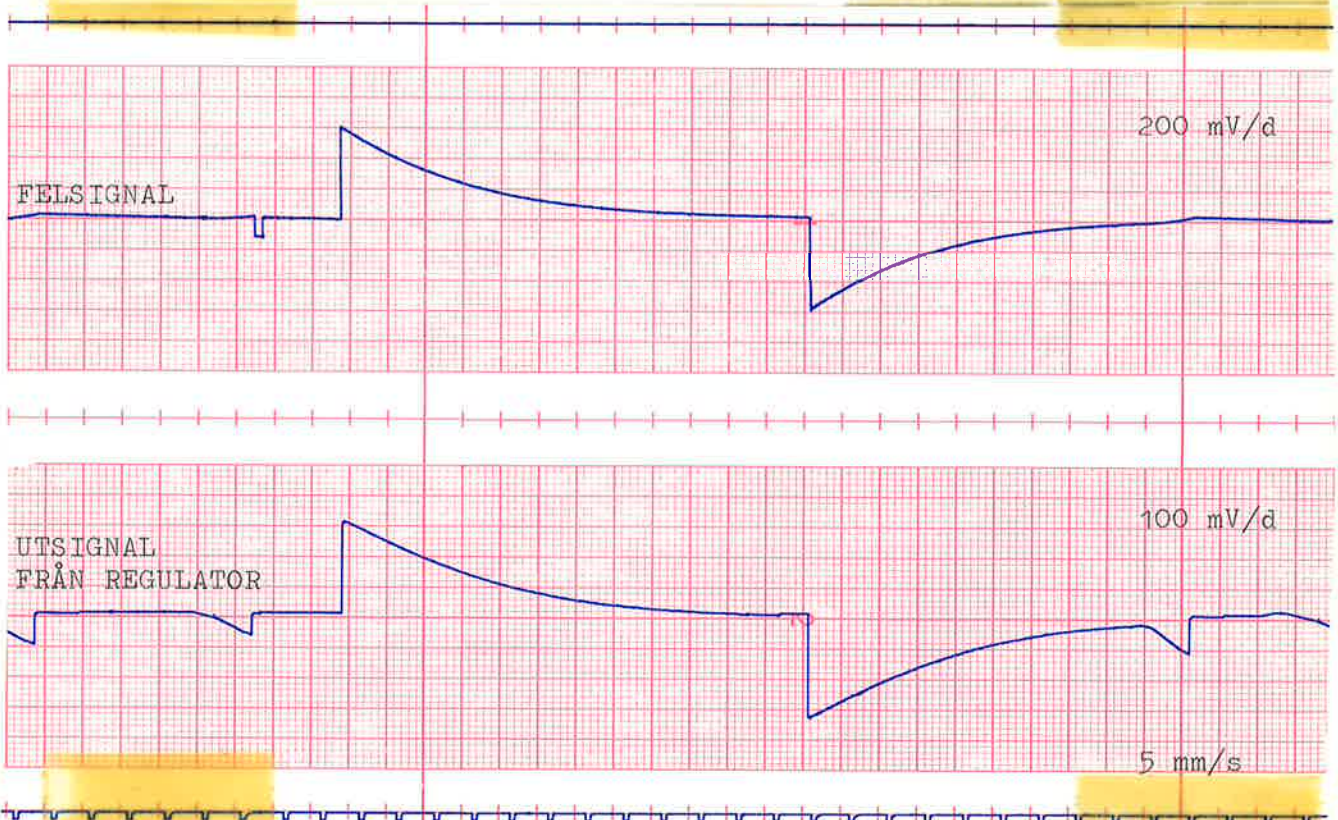
FREKVENSPANALYS AV G_R 

JÄMFÖRELSE AV UTSIGNALER (ANALOGA REGULATORN STYR SERVOT)

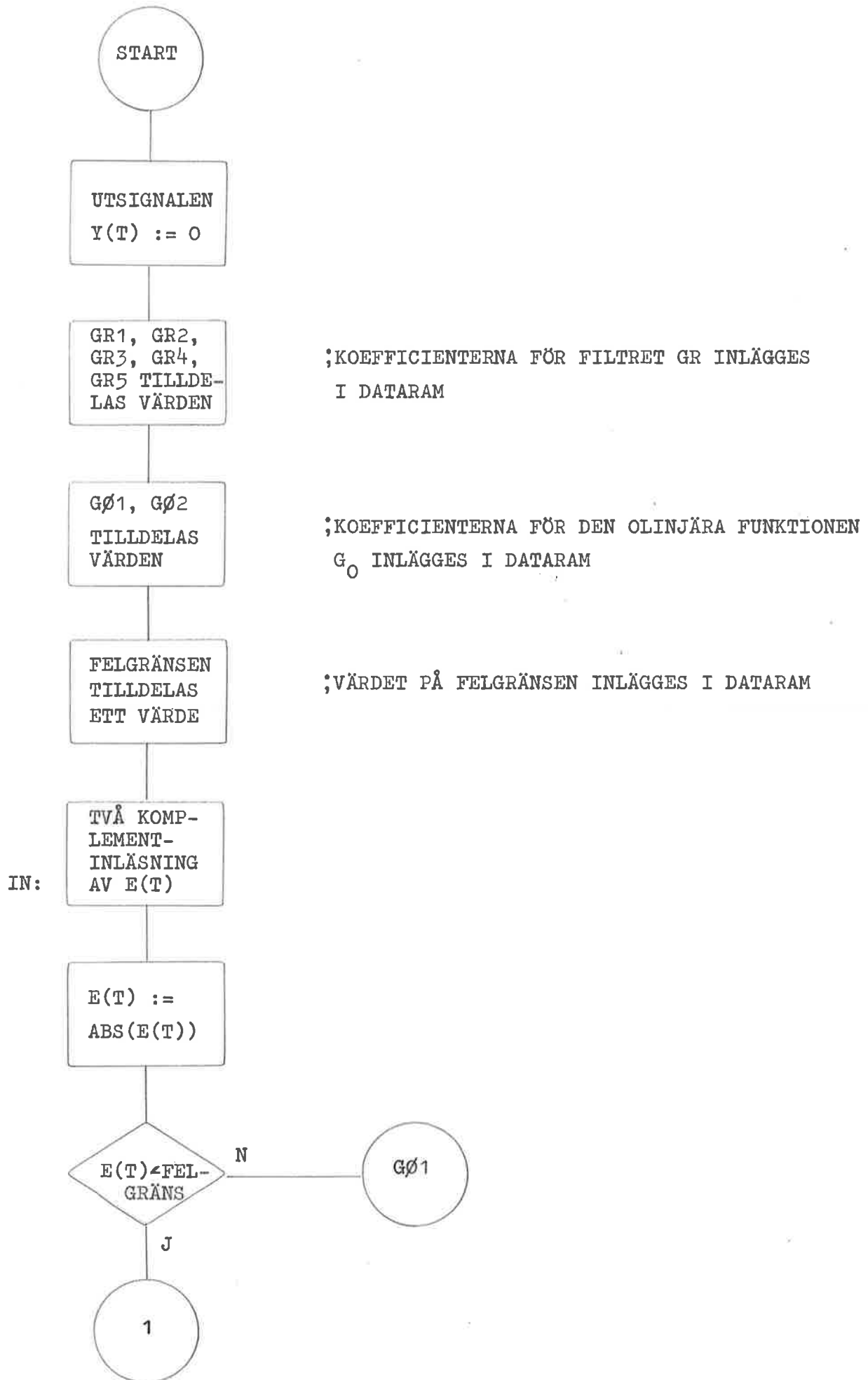


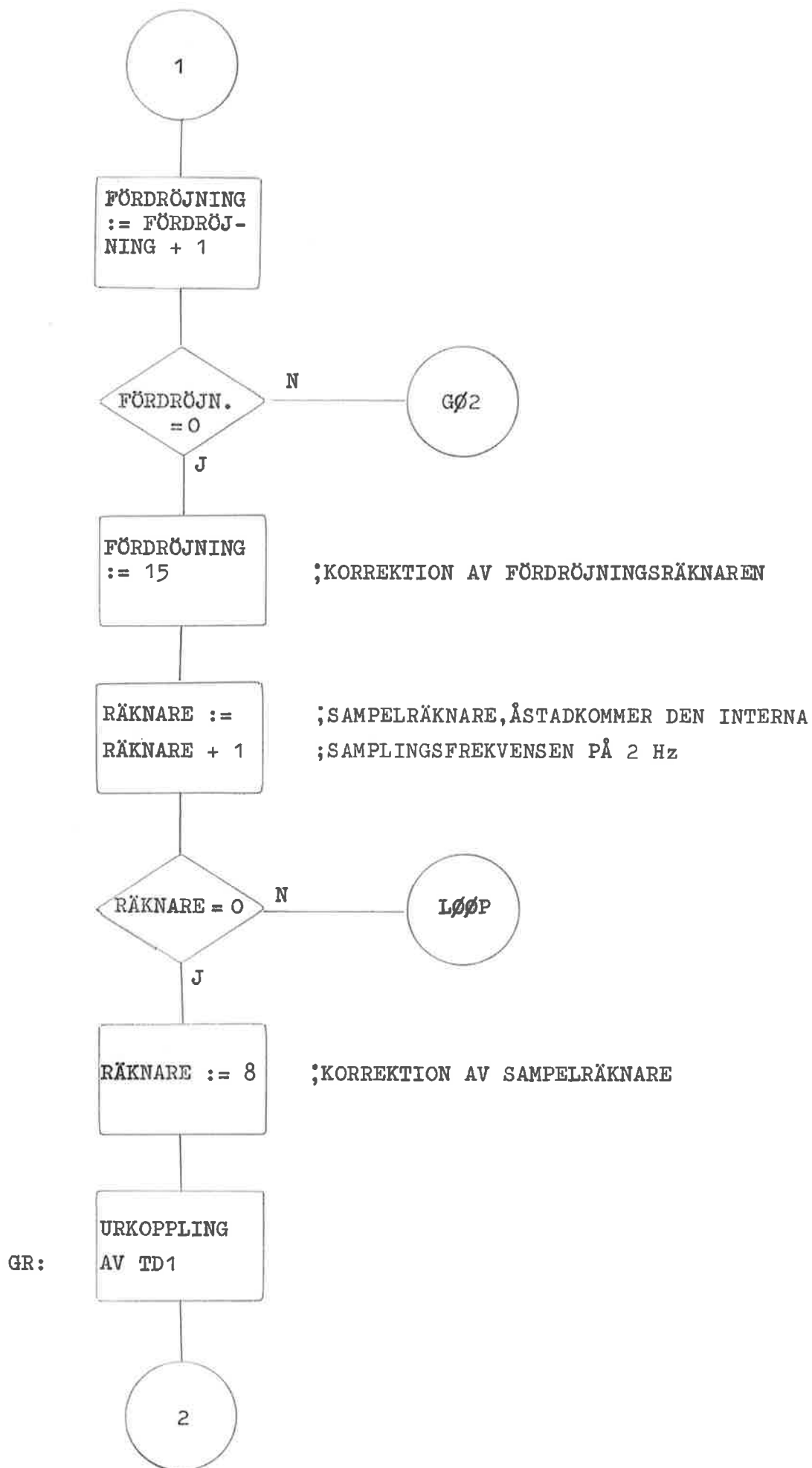


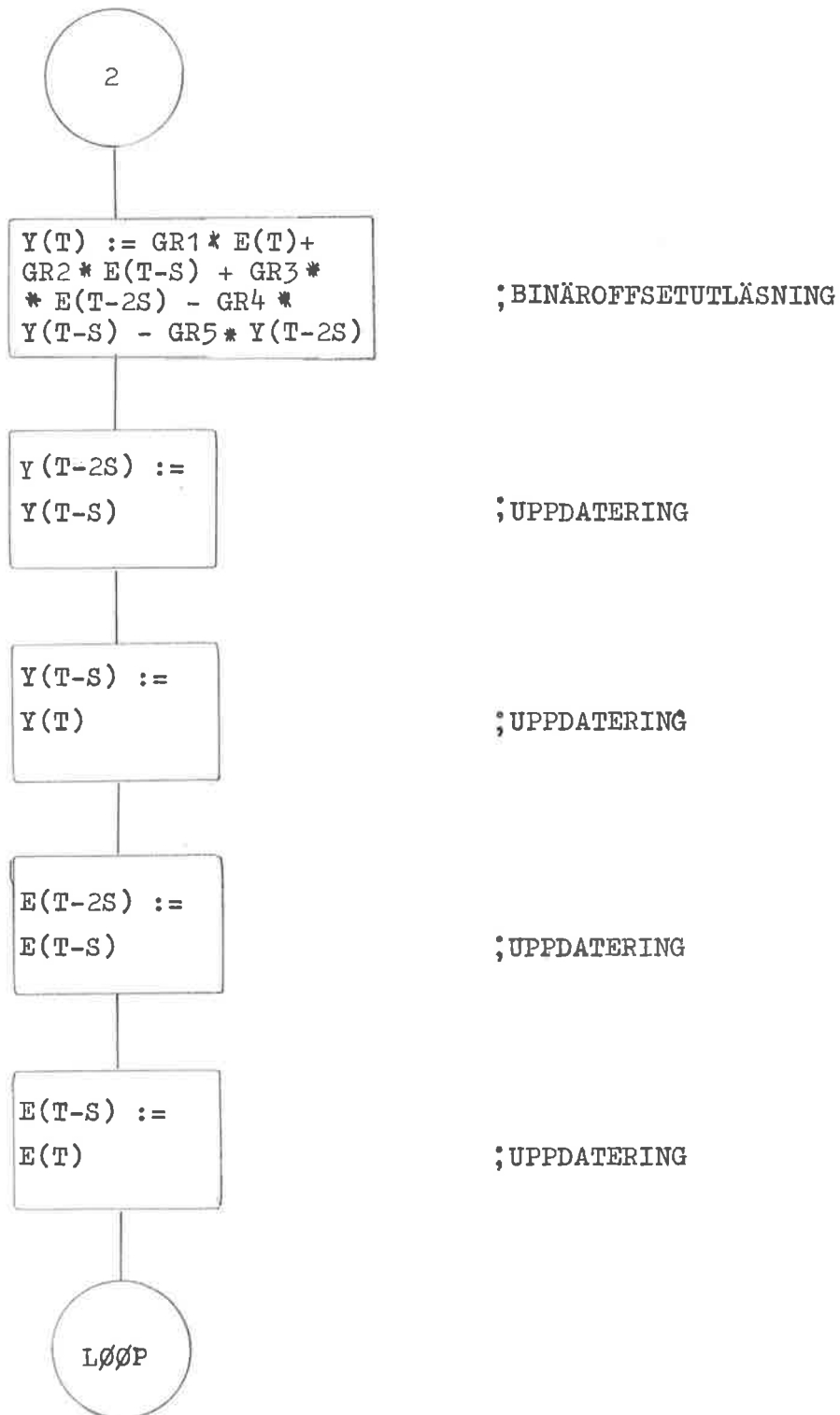
DIGITAL REGLERING (INTELLEC 4)

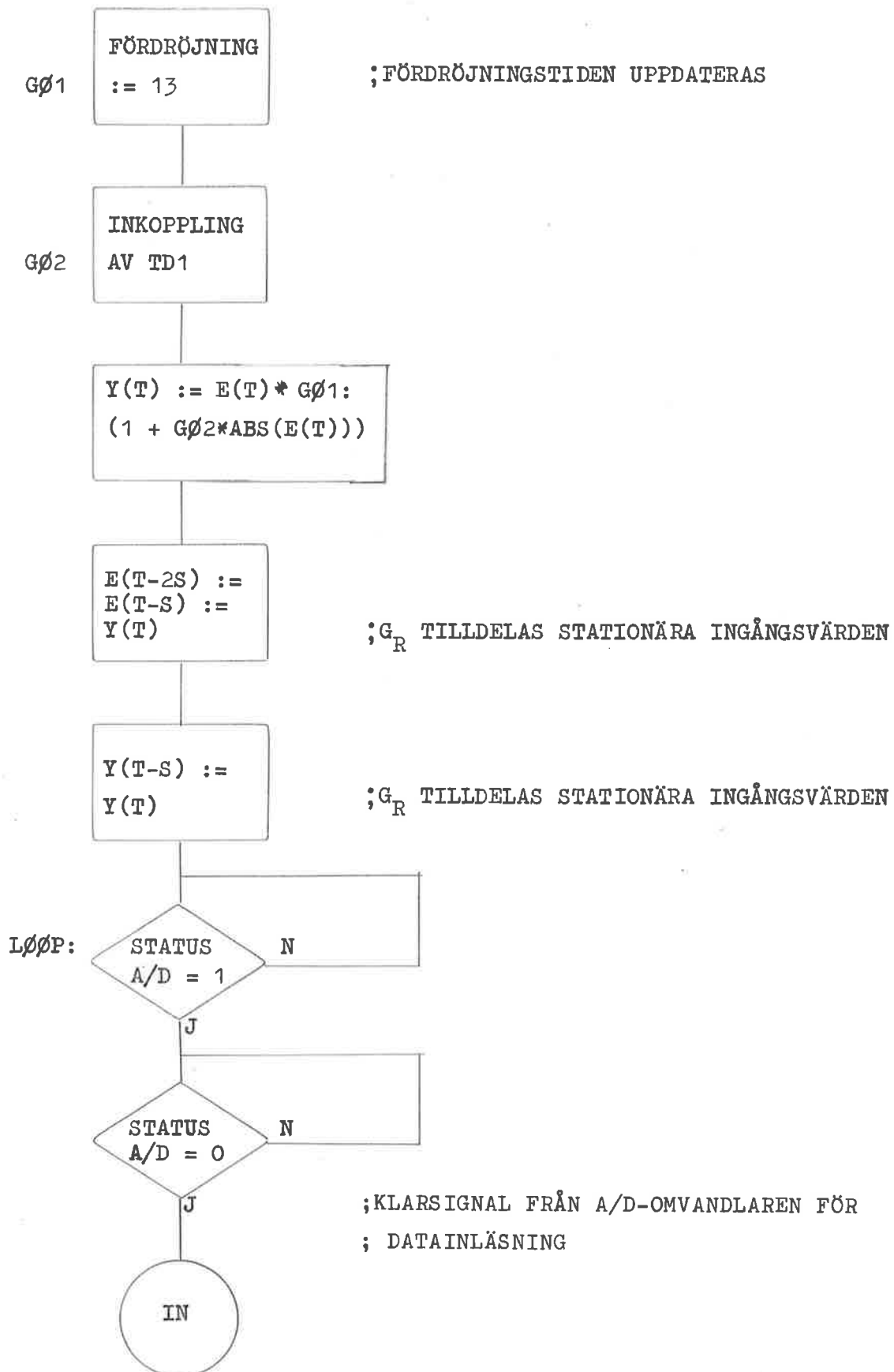


G_o :s räknetid: 32 ms , G_R :s räknetid: 80 ms

PROGRAMMET







Informationens placering i dataminnetDatarambank 0, chip 0

Address	Register 0	Address	Register 1	Address	Register 2	Address	Register 3
00	Felgräns	10	GR 1	20	GR 3	30	GR 5
01	Felgräns	11	GR 1	21	GR 3	31	GR 5
02	Fördröjning	12	GR 1	22	GR 3	32	GR 5
03	Räknare	13	e(t)	23	e(t-2T)	33	y(t-2T)
04	Gø 1	14	e(t)	24	e(t-2T)	34	y(t-2T)
05	Gø 1	15	e(t)	25	e(t-2T)	35	y(t-2T)
06	Gø 1	16	GR 2	26	GR 4	36	
07	Gø 2	17	GR 2	27	GR 4	37	
08	Gø 2	18	GR 2	28	GR 4	38	
09	Gø 2	19	e(t-T)	29	y(t-T)	39	
0A	y(t)	1A	e(t-T)	2A	y(t-T)	3A	
0B	y(t)	1B	e(t-T)	2B	y(t-T)	3B	
0C	y(t)	1C		2C		3C	
0D	y(t)	1D		2D		3D	
0E	y(t)	1E		2E		3E	
0F	y(t)	1F		2F		3F	
0		0		0		0	
1		1		1		1	
2		2		2		2	
3		3		3		3	

Huvudord

Statusord

*SC

;VERSION 4

```

;PROGRAMMET AR KONSTRUERAT PA MIKRODATORN INTELLECT 4
;OCH STYR ETT POSITIONSERVO.OM FELSIGNALEN AR STORRE
;AN 10 STRECK KOPPLAS DET OLINJARA FILTRET GD OCH
;DET LINJARA FILTRET TD1 IN,I ANNAT FALL,UNDEN
;BEAKTANDE AV VISSA TIDSKRAV,KOPPLAS DE LINJARA
;FILTRERNA GR OCH TDHD IN.GD,GR AR INTERNA OCH
;TD1,TDHD EXTERNA.MELLANRESULTAT LAGRAS I INDEK-
;REGISTERNA OCH I DATARAM.CPU KORTETS IN-OCH UTGANGAR
;ANVANDES.
;TILLÅTEN IN SIGNAL: 1000 0000 0001 TILL 0111 1111 1111
;TILLÅTET KOEFFINTERVALL: -0.9999 TILL +0.9999
;KOEFF TILDELAS HEXADECIMALA VARDEN ENL.
;KOEFF:=KOEFF*2048
;NEG KOEFF TILDELAS 2KOMPLEMENTET AV FÖREGÅENDE
;KOEFF GR HAR DESSUTOM HALVERAS FÖR ATT KUNNA LIGGA
;INOM INTERVALLET
;SAMPLINGSFREKVENNS GD: 16 HZ
;SAMPLINGSFREKVENNS GR: 2 HZ

```

```

0000 F0 START:CLB
0001 FD DCL
0002 2C00 FIM 12,00H
0004 2D SRC 12
0005 F0 CLB
0006 E1 WMP
0007 2C40 FIM 12,40H
0009 2D SRC 12
000A E1 WMP
000B 2C80 FIM 12,80H
000D 2D SRC 12
000E E1 WMP ;RANUT 0,1,2:= 0

000F 2C10 KGR: FIM 12,10H
0011 2D SRC 12
0012 D2 LDM 2
0013 E0 WRM
0014 6D INC 13
0015 2D SRC 12
0016 DC LDM 12
0017 E0 WRM
0018 6D INC 13
0019 2D SRC 12
001A D3 LDM 3 ;GR1:= 0.345214
001B E0 WRM ;KOEFF GR1 DATARAMADDRESS 10,11,12
001C 2C16 FIM 12,16H
001E 2D SRC 12
001F DD LDM 13
0020 E0 WRM
0021 6D INC 13
0022 2D SRC 12
0023 DF LDM 15
0024 E0 WRM
0025 6D INC 13
0026 8D SRC 12

```

```

0027 D7 LDM 7 ;GR2:= -0.254394
0028 E0 WRM ;KOEFF GR2 DATARAMADDRESS 16,17,18
0029 2C20 FIM 12,20H
002B 2D SRC 12
002C D0 LDM 0
002D E0 WRM
002E 6D INC 13
002F 2D SRC 12
0030 D9 LDM 9
0031 E0 WRM
0032 6D INC 13
0033 2D SRC 12
0034 D5 LDM 5 ;GR3:= 0.072753
0035 E0 WRM ;KOEFF GR3 DATARAMADDRESS 20,21,22
0036 2C26 FIM 12,26H
0038 2D SRC 12
0039 D4 LDM 4
003A E0 WRM
003B 6D INC 13
003C 2D SRC 12
003D D2 LDM 2
003E E0 WRM
003F 6D INC 13
0040 2D SRC 12
0041 D4 LDM 4 ;GR4:= 0.517578
0042 E0 WRM ;KOEFF GR4 DATARAMADDRESS 26,27,28
0043 2C30 FIM 12,30H
0045 2D SRC 12
0046 DE LDM 14
0047 E0 WRM
0048 6D INC 13
0049 2D SRC 12
004A D8 LDM 8
004B E0 WRM
004C 6D INC 13
004D 2D SRC 12
004E DD LDM 13 ;GR5:= -0.181152
004F E0 WRM ;KOEFF GR5 DATARAMADDRESS 30,31,32
0050 2C04 X60: FIM 12,04H
0052 2D SRC 12
0053 D0 LDM 0
0054 E0 WRM
0055 6D INC 13
0056 2D SRC 12
0057 D9 LDM 9
0058 E0 WRM
0059 6D INC 13
005A 2D SRC 12
005B DC LDM 12 ;G01:= 0.076
005C E0 WRM ;KOEFF G01,DATARAMADDRESS 004,5,6
005D 6D INC 13
005E 2D SRC 12
005F D1 LDM 1
0060 E0 WRM
0061 6D INC 13
0062 2D SRC 12
0063 00 LDM 0
0064 E0 WRM
0065 6D INC 13

```

```

0066 2D SRC 12 ;G2:= 0.13
0067 DA LDM 10 ;KOEFF G2,DATARAMADRESS 007,0,0
0068 EG FIM
0069 2C00 VILLK:FIM 12,00H
006B 2D SRC 12
006C D1 LDM 1
006D E0 WRM
006E 6D INC 13
006F 2D SRC 12
0070 D4 LDM 4 ;FELGRANS (10 STRECK):= 100 MV
0071 E0 WRM ;DATARAMADRESS 00,01

0072 2C00 IN: FIM 12,00H ;ÅTERSTARTPUNKT
0074 2D SRC 12
0075 EA RDR ;ROM 0:=STIFT 30,29,11,10
0076 F4 CMA ;TELETYPEN NASTE VARA BÖRT-
0077 2A13 FIM 10,13H ;KOPPLAD ( ROM 0 BIT 0)
0079 2E SRC 10
007A E0 WRM
007B 6C INC 12
007C 2D SRC 12
007D EA RDR ;ROM 1:=STIFT 32,31,13,12
007E F4 CMA
007F 6B INC 11
0080 2B SRC 10
0081 E0 WRM
0082 6C INC 12
0083 2D SRC 12
0084 EA RDR ;ROM 2:=STIFT 34,33,15,14
0085 F4 CMA
0086 6B INC 11 ;2KOMPLEMENTINLASNING,ROMIN 0,1,2
0087 2B SRC 10
0088 E0 WRM ;DATARAMADRESS 013,14,15
0089 2C13 FIM 12,13H
008B 520A JMS ADIV
008D 51F0 JMS ABS ;INDEXREG 0,1,2:=ABS(E)
008F F0 CLB
0090 90 SUB 0
0091 1CAB JNZ G1
0093 A2 LD 2
0094 B4 XCH 4
0095 F1 CLC
0096 2C00 FIM 12,00H
0098 2D SRC 12
0099 E9 RDM
009A E0 XCH 0
009B A0 LD 0
009C 91 SUB 1
009D 1AA2 JNC G1
009F 52F1 JMS XORS
00A1 B0 XCH 0
00A2 1CB3 JNZ G4
00A4 6D INC 13
00A5 2D SRC 12
00A6 F1 CLC
00A7 E9 RDM
00A8 94 SUB ;INDATA STORRE AN FELGRANS

```

00A9	12B3		JC	G4		;MEDFÖR HOPP TILL 001
00AB	4140	G1:	JUN	001		
00AD	E0	G2:	WRM			
00AE	4145		JUN	002		
00B0	E0	G3:	WRM			
00B1	41AF		JUN	LOOP		
00B3	2C02	G4:	FIM	12,02H		
00B5	2D		SRC	12		
00B6	E9		RDM			
00B7	F2		IAC			
00E8	1CAD		JNZ	G2		;FÖRDRÖJNING EJ UPPFYLLD
00BA	DF		LDM	15		;MEDFÖR HOPP TILL 002
00BB	E0		WRM			
00BC	2C03		FIM	12,03H		
00BE	2D		SRC	12		
00BF	E9		RDM			
00C0	F2		IAC			
00C1	1C00		JNZ	G3		;SAMPELTIDPKT EJ UPPFYLLD
00C3	D8		LDM	8		;MEDFÖR HOPP TILL LOOP
00C4	E0		WRM			
00C5	2CF0	GR1:	FIM	12,240		
00C7	2D		SRC	12		
00C8	F0		CLB			
00C9	E1		WMP			;URKÖPPLING AV TD1 (RAMUT 3)
00CA	2C0A		FIM	12,0AH		
00CC	2D		SRC	12		
00CD	E0		WRM			
00CE	6D		INC	13		
00CF	2D		SRC	12		
00D0	E0		WRM			
00D1	6D		INC	13		
00D2	2D		SRC	12		
00D3	E0		WRM			
00D4	6D		INC	13		
00D5	2D		SRC	12		
00D6	E0		WRM			
00D7	6D		INC	13		
00D8	2D		SRC	12		
00D9	E0		WRM			
00DA	6D		INC	13		
00DB	2D		SRC	12		
00DC	E0		WRM			;S(T):=0
00DD	2C10		FIM	12,10H		
00DF	51C8		JMS	ACC		;S(T):=S(T)+GR1*E(T)
00E1	2C16		FIM	12,16H		
00E3	51C8		JMS	ACC		;S(T):=S(T)+GR2*E(T-S)
00E5	2C20		FIM	12,20H		
00E7	51C8		JMS	ACC		;S(T):=S(T)+GR3*E(T-2S)
00E9	2C26		FIM	12,26H		
00EB	51C8		JMS	ACC		;S(T):=S(T)-GR4*Y(T-S)
00ED	2C30		FIM	12,30H		
00EF	51C8		JMS	ACC		;S(T):=S(T)-GR5*Y(T-2S)
00F1	2C0C		FIM	12,0CH		
00F3	2D		SRC	12		
00F4	E9		RDM			
00F5	F5		RAL			
00F6	6D		INC	13		
00F7	2D		SRC	12		


```

0143 DD LDM 13 ;FÖRDRÖJNING:=3 (188 MS)
0144 EO WRM ;DATARAMADDRESS 02
0145 2CFO G02: FIM 12,240
0147 2D SRC 12
0148 DF LDM 15
0149 E1 WMP ;INKÖPPLING AV TD1 (RAMUT 3)
014A 2C13 FIM 12,13H
014C 520A JMS ADIV
014E 51FO JMS ABS ;ABS(E)
0150 2C07 FIM 12,07H
0152 5216 JMS CMULT
0154 5222 JMS MULT ;G02*ABS(E)
0156 200C FIM 0,0CH
0158 22D0 FIM 2,203
015A FO CLB
015B AB LD 11
015C 82 ADD 2
015D BE XCH 14
015E AA LD 10
015F 81 ADD 1
0160 BB XCH 11
0161 A9 LD 9
0162 80 ADD 0
0163 BA XCH 10
0164 2C04 FIM 12,04H ;1+G02*ABS(E)
0166 520A JMS ADIV
0168 AE LD 14
0169 BC XCH 12
016A 5290 JMS DIV ;G01:(1+G02*ABS(E))
016C A7 LD 7
016D B5 XCH 5
016E AB LD 8
016F B6 XCH 6
0170 A9 LD 9
0171 B7 XCH 7
0172 2C13 FIM 12,13H
0174 520A JMS ADIV
0176 5222 JMS MULT ;E*G01:(1+G02*ABS(E))
0178 2C00 FIM 12,00H
017A 2D SRC 12
017B A9 LD 9
017C F5 RAL
017D F3 CMC
017E F6 RAR
017F E1 WMP ;BINÄRÖFFSET UTÄRSNING
0180 2C40 FIM 12,40H
0182 2D SRC 12
0183 AA LD 10
0184 E1 WMP
0185 2C50 FIM 12,50H
0187 2D SRC 12
0188 AB LD 11
0189 E1 WMP ;RAMUT 0,1,2:=E*G0
018A 2C19 FIM 12,19H
018C 2D SRC 12
018D A9 LD 9
018E F0 RAL
018F 6D INC 13

```

0190	2D	SRC	12	
0191	AA	LD	10	
0192	EO	WRM		
0193	6D	INC	13	
0194	2D	SRC	12	
0195	AB	LD	11	
0196	EO	WRM		
0197	2C19	FIM	12,19H	
0199	2D	SRC	12	
019A	E9	RDM		
019B	2A23	FIM	10,23H	;E(T-2S):=E(T-S):=Y(T)
019D	51B9	JMS	BDIV	
019F	2C19	FIM	12,19H	
01A1	2D	SRC	12	
01A2	E9	RDM		
01A3	2A29	FIM	10,29H	;Y(T-S):=Y(T)
01A5	51B9	JMS	BDIV	
01A7	2C19	FIM	12,19H	
01A9	2D	SRC	12	
01AA	E9	RDM		
01AB	2A33	FIM	10,33H	;Y(T-2S):=Y(T)
01AD	51B9	JMS	BDIV	
01AF	19B3	LOOP:	JT LP1	;TEST:= STIFT 2
01B1	41AF		JUN LOOP	
01B3	11B7	LP1:	JNT LP2	;STATUS A/D = TEST
01B5	41B3		JUN LP1	
01B7	4072	LP2:	JUN IN	;HOPP TILL IN OM TEST AR 1

; SUBROUTINER

01B9	2B	BDIV:	SRC	10	
01BA	EO		WRM		
01BB	6D		INC	13	
01BC	2D		SRC	12	
01BD	E9		RDM		
01BE	6E		INC	11	
01BF	2B		SRC	10	
01C0	EO		WRM		
01C1	6D		INC	13	
01C2	2D		SRC	12	
01C3	E9		RDM		
01C4	6E		INC	11	
01C5	2B		SRC	10	
01C6	EO		WRM		;UPPDATERINGSHJALPRUTIN
01C7	CO		SEL	0	
01C8	520A	ACC:	JMS	ADIV	
01CA	6D		INC	13	
01CB	5216		JMS	CMULT	
01CD	5222		JMS	DMULT	
01CF	FJ		CLB		
01D0	280A		FIM	12,0AH	
01D2	27		SEC	6	
01D3	AF		LD	14	
01D4	BF		ADM		
01D5	EO		WRM		
01D6	67		INC	7	

01D7	27	SRC	6	
01D8	AD	LD	13	
01D9	EB	ADM		
01DA	E0	WRM		
01DB	67	INC	7	
01DC	27	SRC	6	
01DD	AC	LD	12	
01DE	EB	ADM		
01DF	E0	WRM		
01E0	67	INC	7	
01E1	27	SRC	6	
01E2	AB	LD	11	
01E3	EB	ADM		
01E4	E0	WRM		
01E5	67	INC	7	
01E6	27	SRC	6	
01E7	AA	LD	10	
01E8	EB	ADM		
01E9	E0	WRM		
01EA	67	INC	7	
01EB	27	SRC	6	
01EC	A9	LD	9	
01ED	EB	ADM		
01EE	E0	WRM		
01EF	C0	BBL	0	;HJALPRUTIN FOR GR

		*3S		
01F0	F0	ABS:	CLB	
01F1	A0		LD	0
01F2	F5		RAL	
01F3	4206		JUN	A2
01F5	F6	A1:	RAR	
01F6	F4		CMA	
01F7	B0		XCH	0
01F8	A1		LD	1
01F9	F4		CMA	
01FA	B1		XCH	1
01FB	A2		LD	2
01FC	F4		CMA	
01FD	F2		IAC	
01FE	B2		XCH	2
01FF	F7		TCC	
0200	S1		ADD	1
0201	B1		XCH	1
0202	F7		TCC	
0203	80		ADD	0
0204	80		XCH	0
0205	C0	ABSE:	BEL	0
				;INDEXREG 0,1,2:=ABS(A)
0206	1A05	A2:	JNC	ABSE
0208	41F5		JUN	A1
		ADIV:		
020A	2D		SRC	12
020B	E9		RDM	
020C	80		XCH	0
020D	6D		INC	13
020E	2D		SRC	12
020F	E9		RDM	
0210	E1		XCH	1
0211	6D		INC	13

0212	2D		SRC	12	
0213	E9		RDM		
0214	B2		XCH	2	
0215	C0		BBL	0	; ÖVERFÖR DATA TILL INDEXREG 0,1,2
0216	2D	CMULT:	SRC	12	
0217	E9		RDM		
0218	B5		XCH	5	
0219	6D		INC	13	
021A	2D		SRC	12	
021B	E9		RDM		
021C	B6		XCH	6	
021D	6D		INC	13	
021E	2D		SRC	12	
021F	E9		RDM		
0220	B7		XCH	7	
0221	C0		BBL	0	; ÖVERFÖR DATA TILL INDEXREG 5,6,7
0222	F0	MULT:	CLB		; INDEXREG 0,1,2 = X
0223	B4		XCH	4	; INDEXREG 5,6,7 = Y
0224	2800		FIM	8,00H	; INDEXREG 9,10,11 = Z
0226	2A00		FIM	10,00H	; INDEXREG 15 = RÄKNARE
0228	2C00		FIM	12,00H	
022A	2E05		FIM	14,05H	
022C	A5		LD	5	
022D	F5		RAL		
022E	1234		JC	M1	
0230	F6		RAR		
0231	B5		XCH	5	
0232	4238		JUN	M2	
0234	F6	M1:	RAR		
0235	B5		XCH	5	
0236	D1		LDM	1	
0237	B4		XCH	4	; DUBBEL TECKENPOSITION
0238	F0	M2:	CLB		
0239	A2		LD	2	
023A	F6		RAR		
023B	1241		JC	M3	
023D	F5		RAL		
023E	B2		XCH	2	
023F	4258		JUN	M3	
0241	F5	M3:	RAL		
0242	B2		XCH	2	
0243	F0		CLB		
0244	AB		LD	11	
0245	87		ADD	7	
0246	B3		XCH	11	
0247	AA		LD	10	
0248	36		ADD	6	
0249	3A		XCH	10	
024A	A9		LD	9	
024B	35		ADD	5	
024C	E9		XCH	9	
024D	A4		LD	8	
024E	54		ADD	4	
024F	F6		RAR		
0250	1A56		JNC	M4	
0252	01		LDM	1	
0253	88		XCH	8	
0254	4254		JUN	M3	

0256	F0	M4:	CLB		
0257	B4		XCH	8	
0258	F0	M3:	CLB		
0259	A8		LD	8	
025A	F6		RAR		
025B	1ASF		JNC	M5	
025D	F5		RAL		
025E	FA		STC		
025F	A9	M5:	LD	9	
0260	F6		RAR		
0261	B9		XCH	9	
0262	AA		LD	10	
0263	F6		RAR		
0264	BA		XCH	10	
0265	AB		LD	11	
0266	F6		RAR		
0267	BB		XCH	11	
0268	AC		LD	12	
0269	F6		RAR		
026A	BC		XCH	12	
026B	AD		LD	13	
026C	F6		RAR		
026D	BD		XCH	13	
026E	AE		LD	14	
026F	F6		RAR		
0270	BE		XCH	14	;Z HÖGERSKIFTAS
0271	F0	NYX:	CLB		
0272	A0		LD	0	
0273	F6		RAR		
0274	B0		XCH	0	
0275	A1		LD	1	
0276	F6		RAR		
0277	B1		XCH	1	
0278	A2		LD	2	
0279	F6		RAR		
027A	B2		XCH	2	
027B	7F38		ISZ	15,M2	
027D	F0		CLB		
027E	A2		LD	2	
027F	F6		RAR		
0280	1ARF		JNC	M6	
0282	F1		CLC		
0283	AE		LD	11	
0284	97		SUB	7	
0285	BE		XCH	11	
0286	F3		CMC		
0287	AA		LD	10	
0288	96		SUB	6	
0289	BA		XCH	10	
028A	F3		CMC		
028B	A9		LD	9	
028C	95		SUB	5	
028D	B9		XCH	9	;NEG X -> Z:=Z-Y
028E	F0		CLB		
028F	C0	M6:	SEL	0	
0290	D5	DIV:	LDW	5	;INDEXEG 0,1,2:=A
0291	BD		XCH	13	;INDEX:EG 10,11,1:=Y
0292	2600		FIG	6,0	;INDEX:EG 7,8,9:=C

```

0294 2300          FIM  8,0      ;INDEXREG 13:=RAKNARE
0296  A0          LD    0
0297  B4          XCH  4
0298  A1          LD    1
0299  B5          XCH  5
029A  A2          LD    2
029B  B6          XCH  6      ;R(0):=X
029C  AA          DD:  LD    10
029D  B1          XCH  1
029E  A4          LD    4
029F  B0          XCH  0
02A0  52F1        JMS  XORS      ;Z:=R(0) MODULO Y
02A2  A0          LD    0
02A3  F4          CMA
02A4  F5          RAL
02A5  A9          LD    9
02A6  F5          RAL
02A7  B9          XCH  9
02A8  A8          LD    8
02A9  F5          RAL
02AA  B8          XCH  8
02AB  A7          LD    7
02AC  F5          RAL
02AD  B7          XCH  7
02AE  F1          CLC      ;LAGRING AV Z
02AF  A6          LD    6
02B0  F5          RAL
02B1  B6          XCH  6
02B2  A5          LD    5
02B3  F5          RAL
02B4  B5          XCH  5
02B5  A4          LD    4
02B6  F5          RAL
02B7  B4          XCH  4
02B8  A9          LD    9
02B9  F6          RAR
02BA  12C7        JC    DC
02BC  A6          LD    6
02BD  8C          ADD  12
02BE  B6          XCH  6
02BF  A5          LD    5
02C0  8B          ADD  11
02C1  B5          XCH  5
02C2  A4          LD    4
02C3  3A          ADD  10
02C4  B4          XCH  4
02C5  42D4        JUN  06      ;R:=2*R+Y
02C7  FA          DC:  STC
02C8  A6          LD    6
02C9  F3          CMC
02CA  9C          SUB  12
02CB  B6          XCH  6
02CC  A5          LD    5
02CD  F3          CMC
02CE  9E          SUB  11
02CF  B5          XCH  5
02D0  A4          LD    4
02D1  F3          CMC
02D2  9A          SUB  10

```

```

02D3 B4 XCH 4 ;R:=2*R-Y
02D4 F1 Q6: CLC
02D5 7D9C DA: ISZ 13,DD
02D7 F1 CLC
02D8 A9 LD 9
02D9 F5 RAL
02DA B9 XCH 9
02DB A8 LD 8
02DC F5 RAL
02DD B8 XCH 8
02DE A7 LD 7
02DF F5 RAL
02E0 B7 XCH 7
02E1 F1 CLC
02E2 A7 LD 7
02E3 F5 RAL
02E4 F3 CMC
02E5 F6 RAR
02E6 B7 XCH 7 ;TECKENPOSITIONEN INVERTERAD
02E7 A9 LD 9
02E8 F2 IAC
02E9 B9 XCH 9
02EA F7 TCC
02EB 88 ADD 8
02EC B8 XCH 8
02ED F7 TCC
02EE 87 ADD 7
02EF B7 XCH 7
02F0 C0 BBL 0 ;Z:=Z+2-11

```

\$C

```

02F1 220B XORS:FIM 2,11 ;INDEXREG 0:=X,1:=Y,C:=Z
02F3 D0 L13: LDM 0
02F4 B0 XCH 0
02F5 F5 RAL
02F6 B0 XCH 0
02F7 73FB ISZ 3,L23
02F9 4306 JUN L33
02FB F6 L23: RAR
02FC B2 XCH 2
02FD D0 LDM 0
02FE B1 XCH 1
02FF F5 RAL
0300 B1 XCH 1
0301 F6 RAR
0302 82 ADD 2
0303 F5 RAL
0304 42F3 JUN L13
0306 C0 L33: BBL 0

```

END

Intellec 4/mod 4 är en komplett mikrodator. Den bör framförallt användas som hjälpmedel vid framtagning av program, samt uttestning av program, som är avsedda till mikrodatorsystem vilka använder sig av komponenter från MCS-4:s mikrodatorserie.

Hjärtat i MCS-4:s serie är Intels 4004 Central Processing Unit (CPU:n) en monolitisk MOS integrerad krets som innehåller alla de funktioner som normalt associeras med den aritmetiska och styrande enheten i större maskiner. Denna komponent är en 4 bits parallell processor, som knyts samman med ett stort antal minneselement.

Processorer, som kan övervakas av en operatör, använder vanligen samma minne för program och data. Processor kan därför skriva var som helst i minnet och till och med ändra sina egna instruktioner om så skulle önskas. Mikroprocessorer arbetar däremot oftast som styrorgan utan högre övervakande organ. Därför måste programmen vara ordentligt uttestade och fasta. Detta medför en strikt uppdelning av minnet för programinstruktioner och konstanter samt för mellanresultat. Instruktioner och konstanter lagras därför i ett separat minne som kallas för programminnet och tillfälliga resultat lagras i ett minne som kallas för dataminnet.

Programminnet

För uttestade mikrodatorsystem består programminnet av minneselementen ROM 4001. ROM 4001 är på 256 ord à 8 bitar, ett läsminne med en 4 bitars in-/utgång. Vid beställningen av ROM 4001 skall minnesinnehållet samt styrlogiken specificeras vilket medför att minneselementet blir tids- och spänningsberoende, samt att elementet inte går att programmeras om. Vid arbetet med utvecklingsdatorn Intellec 4 användes därför två andra typer av minneselement i programminnet (RAM 2102 och PROM 1702A).

RAM 2102 är på 1024 ord à 1 bit, ett skriv- och läsminne, och som helt kan kontrolleras av operatören på Intellec 4 från dess panel. Enbart för detta minneselement finns möjligheten att läsa in data i programminnet.

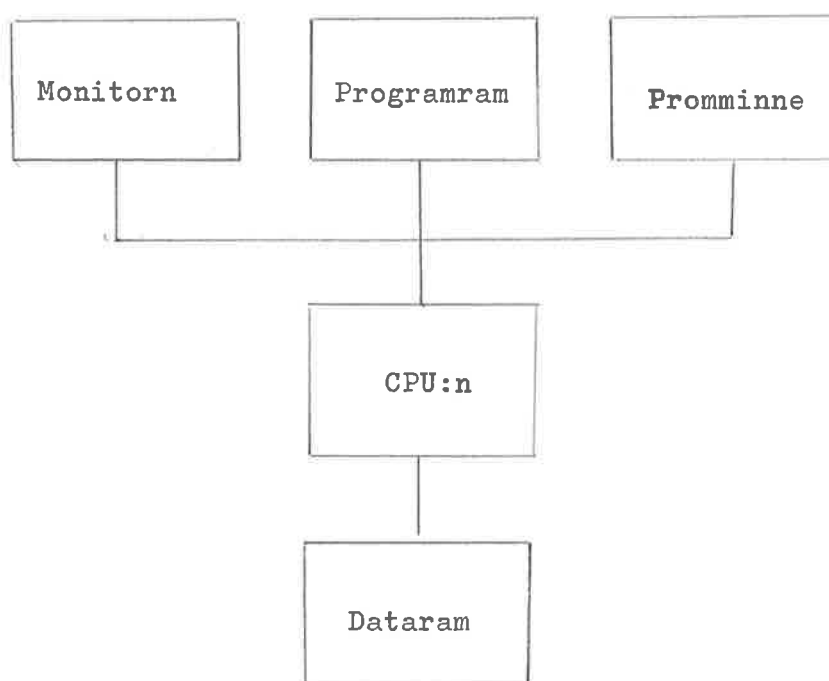
PROM 1702A är ett lämpligare element för mer uttestade program. PROM 1702A är på 256 ord à 8 bitar och är ett läsminne. Programmeringen av elementet sker via en sockel på Intellec 4:s panel och minneselementet kan nollställas med hjälp av ultraviolett ljus. Detta element kräver därför inte att minnesinnehållet inläses via teletype eller snabbbläsare varje gång som Intellec 4 kopplas på. Operatörens möjligheter att via panelen kontrollera minneselementet är dock mycket starkt begränsade. Då både RAM 2102 och PROM 1702A saknar in- och utgångar samt dithörande logik kompletteras Intellec 4 med separat logik för detta (4008/4009).

Dataminne

Dataminnet består enbart av RAM 4002, med varianterna 4002-1 och 4002-2. RAM 4002 är på 80 ord à 4 bitar och är ett läs- och skrivminne, samt har en utgång på 4 bitar. De 80 orden är internt uppdelade på 4 register i RAM 4002 på 20 ord var. 16 av dessa 20 ord kallas för Huvudord, medan de övriga 4 kallas för Statusord.

Intellec 4/mod 4-minnen

Intellec 4 kan dock bestå av 3 programminnen samt ett dataminne. Programminnet 1 består av RAM 2102 och betecknas i fortsättningen för Program RAM. Programminnet 2 består av PROM 1702A och betecknas i fortsättningen för PROM minnet. Programminnet 3 består även det av PROM 1702A, men kommer i fortsättningen att betecknas för Monitorn. Monitorn förklaras senare. Dataminnet består enligt ovan av RAM 4002 och betecknas i fortsättningen för Data RAM. Följande enkla minnesstrukturer fås då för Intellec 4:



Monitorn

Monitorn innehåller ett program som används för att kontrollera Intellec 4. Monitorn består av 4 stycken PROM 1702A och är placerat på samma kretskort som CPU:n 4004. I programmet finns en teletype I/O-rutin samt servicerutiner för bland annat:

1. Inläsning av hållremsa till Program RAM
2. Ändring av enskilda instruktioner i Program RAM
3. Utskrift av innehållet i Program RAM
4. Överföra innehållet i Program RAM till PROM 1702A
5. Överföra innehållet i PROM 1702A till Program RAM

Hur dessa operationer blir utförda, se "Operator's Manual, sidan 4.1.

Intellec 4/mod 4:s kretskort

I sitt standardutförande innehåller Intellec 4 fyra stycken kretskort (moduler). De tre första är av plug in typ:

1. Imm 4-42 Central Processor Modul
2. Imm 4-72 Control Modul
3. Imm 6-28 Ram Memory Modul
4. Imm 4-74 Control and Display Panel

Imm 4-42 Central Processor Modul

Imm 4-42 är ett komplett mikrodatorsystem med processor, programminne och I/O, allt placerat på ett kort. CPU:n 4004 är hjärtat i modulen. Mikroprocessorn handhar 45 olika programinstruktioner, innehåller 16 stycken indexregister och tillåter subrutinanrop på 3 nivåer. Modulen innehåller 1 k ord på 8 bitar programminne (Monitorn) och 320 ord på 4 bitar dataminne (Dataram). Med modulen tilldelas Intellec 4 även fyra stycken ingångar och åtta utgångar där fyra av utgångarna härstammar från dataram. Ett teletype interface, minnesinterface samt en kristalloscillator finns även på modulen.

Imm 4-72 Control Modul

Imm 4-72 utgör det huvudsakliga interfacet mellan CPU modulen och Ram Memory Modul, samt mellan CPU modulen och Control and Display Panel. Imm 4-72 innehåller de externa signalerna Reset och Test, samt logiken för programminnesvalet.

Imm 6-28 Ram Memory Modul (Program Ram)

Denna minnesmodul har en kapacitet av 4 k ord à 8 bitar och består av minneselementet RAM 2102. Avkodare samt latcheslement finns även på modulen.

Imm 4-74 Control and Display Panel

Imm 4-74 visar maskinens interna status för Program Ram med hjälp av lysdioder i panelen. I sitt söktillstånd kan alla programsteg i Program Ram granskas. CMA-tillståndet tillåter operatören att med hjälp av switchar på panelen ändra innehållet i Program Ram. Panelen innehåller även en sockel för programmering av PROM.

Med ett ytterligare antal plug-in moduler kan minneskapacitet, antal in- och utgångar ökas, samt möjligheten för programmering av PROM erhållas. Se manualen "Intellec 4 and Micro Computer Modules".

Intellec 4/mod 4 Specifikationer

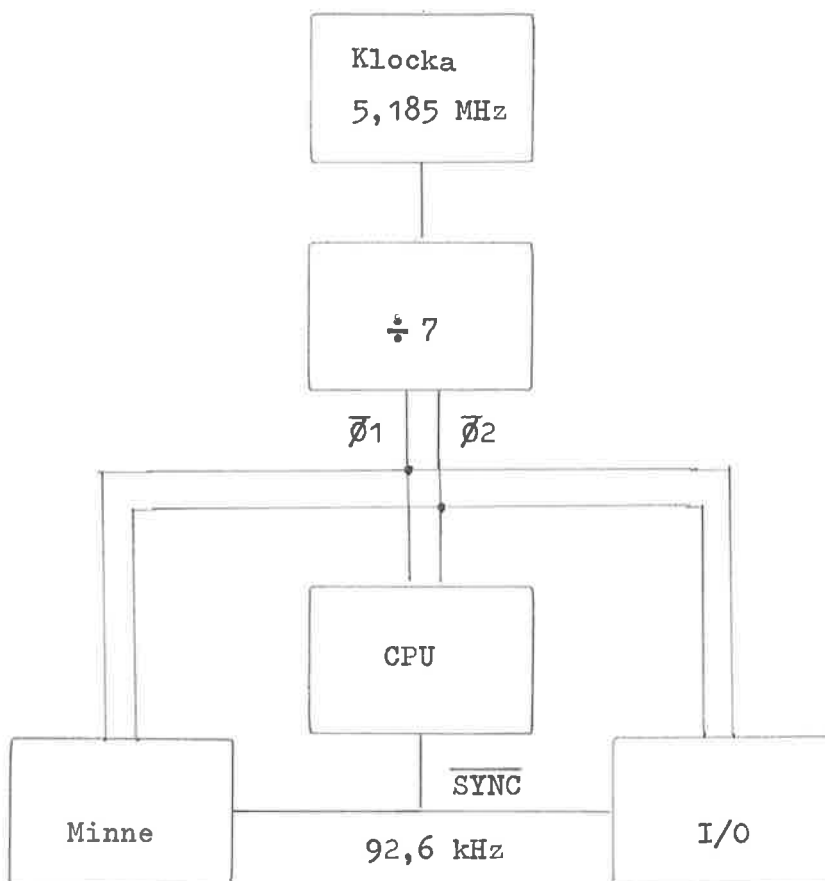
Ordstorlek:	4 bitar data, 8 bitar instruktion
Minne:	1 k ord à 8 bitar Monitorn 4 k ord à 8 bitar Program Ram 320 ord à 4 bitar Utökbar till 2560 x 4 bit Dataram Promminnet utbyggbar till 4 k ord à 8 bitar
Instruktioner:	45 stycken inkluderande villkor Binär och decimal aritmetik, samt I/O
Systemklocka:	Kontrollerad kristall vid 5,185 MHz
Maskincykel:	10,8 μ s
Minnescykel:	900 μ s

I/O-kanaler: 4 ingångar, kan utökas till 16
 8 utgångar, kan utökas till 48
 Alla in- och utgångar är 4 bit TTL

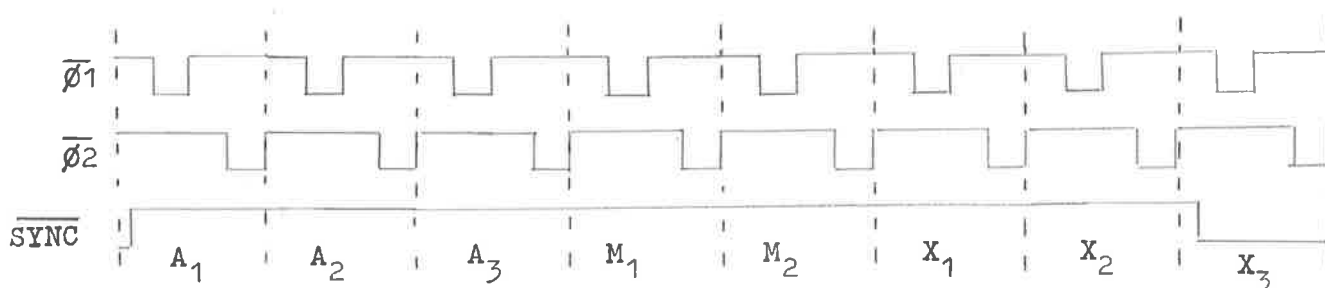
Standard mjukvara: Monitorn
 Assemblern (hållremsa)

Systemcykeln

En kristallkontrollerad klockoscillator svarar för systemets tidsindelning. Kretsar på CPU-modulen delar ner 5,185 MHz signalen till en signal på 740,7 kHz. Denna signal separeras sedan i två från varandra fasförskjutna signaler. Dessa två klocksignaler kallas för $\overline{\phi}_1$ och $\overline{\phi}_2$. Av $\overline{\phi}_2$ bildar CPU:n 4004 den tredje klocksignalen $\overline{\text{SYNC}}$, som är $1/8$ av $\overline{\phi}_2$, det vill säga på 92,6 kHz.

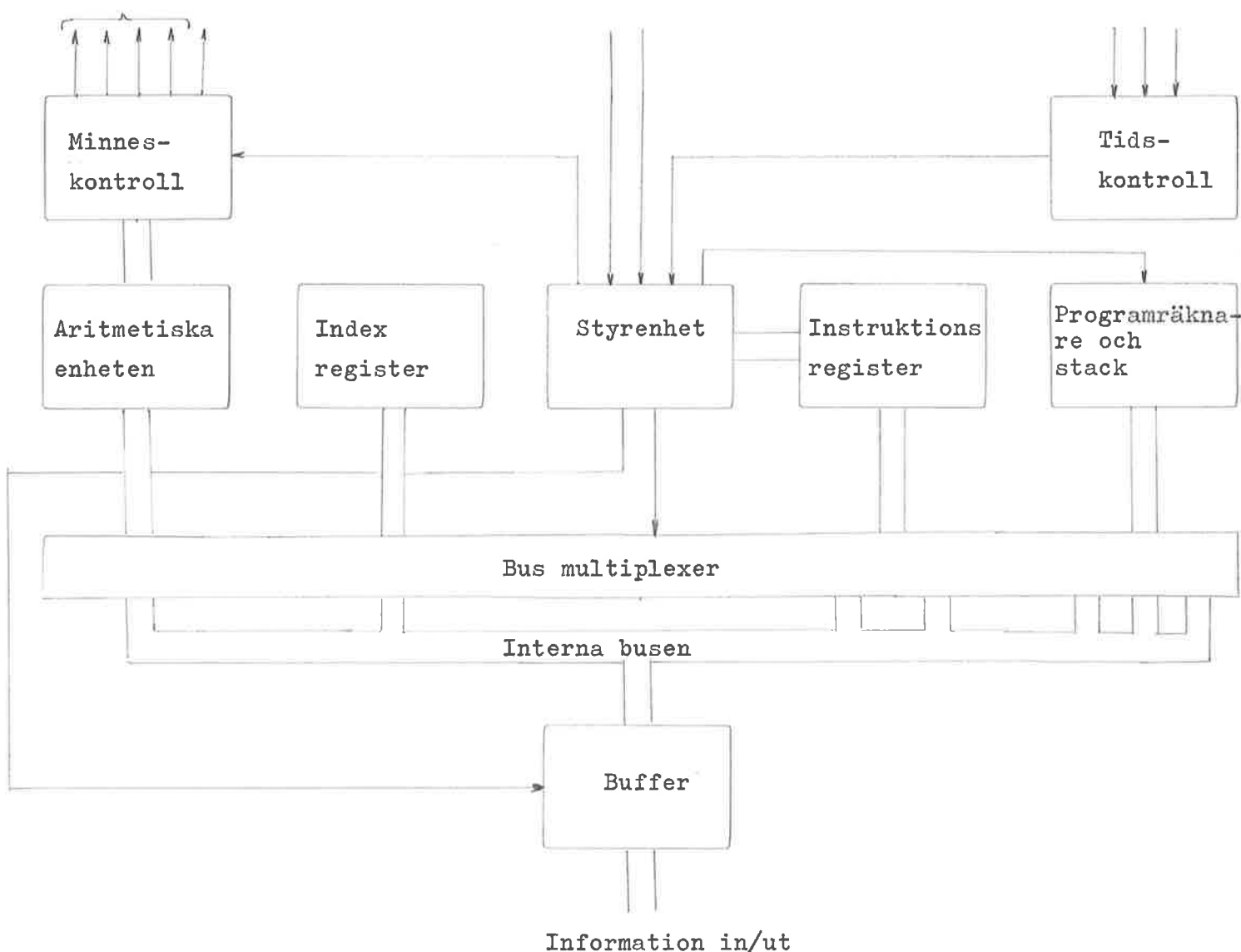


Instruktionscykelns tidsbenämningar



Intels CPU 4004

CPU:n 4004 består internt av följande sektioner:

CM-RAM CM-ROMReset TestSYNC $\bar{\phi}_1$ $\bar{\phi}_2$ 

Av klocksignalerna $\bar{\phi}_1$ och $\bar{\phi}_2$ bildas SYNC-signalen i Tidskontrollen. Tidskontrollen samordnar sedan operationerna för styrenheten. Styrenheten använder Tidskontrollen för att allt ska bli utfört i rätt ordning. Den börjar med att hämta en instruktion i början av instruktionscykeln genom att sända en adress till programminnet under tiderna A_1 , A_2 och A_3 , samtidigt som Minneskontrollsignalen CM-ROM är tillkopplad. Svaret från programminnet läggs under tiderna M_1 och M_2 i instruktionsregistret. Styrenheten avkodar och tolkar innehållet i instruktionsregistret och verkställer instruktioner genom att ge de styrsignaler till

de berörda avdelningarna så att instruktionen blir utförd under tiderna X_1 , X_2 och X_3 .

Den aritmetiska enheten är byggd för att kunna utföra alla önskade manipulationer under övervakande av styrenheten. Denna avdelning innehåller huvudarbetsregistret = ackumulatorn, i vilket resultatet av alla additioner lagras. Den innehåller också en 4 bits adderare, ett hjälpregister för lagring av addenden, en carryflagga för utvidgade aritmetiska operationer och logik som möjliggör villkorsinstruktioner.

Programräknaren består av ett 12 bitars register. Den innehåller adressen till programminnet i vilket nästa instruktion är lagrad som skall bli exekverad. Styrenheten uppdaterar programräknaren automatiskt, inkrementerar räknarens innehåll vid varje tidpunkt A_3 . På detta sätt är läget för nästa instruktion alltid tillgänglig i programräknaren. I händelse av en hoppinstruktion ersätter styrenheten programräknarens innehåll med den nya adressen och programmet fortsätter från det nya läget. Programräknaren kan nollställas med hjälp av den externa CPU Reset signalen.

Proceduren för ett subrutinhopp är något annorlunda. För att kunna exekvera en subrutin måste styrenheten bevara innehållet i programräknaren innan hoppet exekveras. Den gamla (retur) adressen lagras då i en stack. Stacken består av 3 stycken 12 bitars register och bildar tillsammans med programräknaren en push-down adresstack. Programräknaren är det första registret i adresstacken. En stackpekare utpekar den ursprungliga returadressen och uppdateras automatiskt av styrenheten. Antag att en subrutinhoppinstruktion hämtas från programminnet. Styrenheten lagrar då programräknarens innehåll i det första stackregistret och subrutinadressen i programräknaren. Subrutinanropet avslutas alltid med en "BBL"-instruktion, varvid programräknaren åter tilldelas sitt förutvarande värde. Därvid kommer programmet att fortsätta med nästa instruktion. De tre stackregistrena tillåter därför maximalt ett subrutinanrop, som innehåller en subrutin som i sig innehåller en subrutin. En ytterligare subrutin i den sist uppräknade subrutinen skulle medföra att ursprungsadressen gick förlorad och därmed skulle ett återhopp till huvudprogrammet vara omöjligt.

Instruktionsregistret är ett 8 bitars register och används för att lagra instruktioner. De första 4 bitarna av instruktionen kallas OPR (operationsdelen) och de övriga 4 bitarna för OPA (adressdelen). Dessa 8 bitar överförs till instruktionsregistret från programminnet under tidpunkterna M_1 och M_2 . Styrenheten avkodar sedan instruktionen för att ge den sekvens av styrsignaler som behövs för att instruktionen skall bli utförd under X_1 , X_2 eller X_3 .

Bus Multiplexing logiken styr informationsflödet på den interna databusen enligt styrsignalsekvensen från styrenheten. Programadressen placeras på busen i tre på varandra följande 4 bits ord under tidpunkterna A_1 , A_2 och A_3 . Innehållet på busen under M_1 och M_2 placeras i instruktionsregistret (OPR, OPA). Under exekveringsfasen X_1 , X_2 och X_3 styrs sedan informationsflödet på busen så att instruktionen blir rätt utförd.

Minneskontrollen väljer ut och kopplar på någon av $\overline{CM-ROM}$ och $\overline{CM-RAM}$ linjerna. Minneskontrollen övervakas av styrenheten. Via ett busarrangemang kommunicerar Minneskontrollen med den aritmetiska enheten. En av $\overline{CM-RAM}$ linjerna väljs ut genom att en siffra lägges i ackumulatorregistret. Den siffra överförs sedan till ett register i minneskontrollen, när instruktionen DCL exekveras, varvid en av $\overline{CM-RAM}$ linjerna utväljs.

Indexregisterna är ett litet snabbminne, som består av 16 stycken 4 bits register. Dessa 16 register à 4 bitar kan även användas som 8 register à 8 bitar (register-par).

Yttre signaler

1. CPU Reset nollställer programräknaren och innehållet i indexregisterna om CPU Reset signalen varar i minst $90\mu s$.
2. Testsignalen kan användas som villkor i villkorsinstruktion JCN och gör det därmed möjligt att utifrån styra programexekveringen.

Interface till Intellec 4

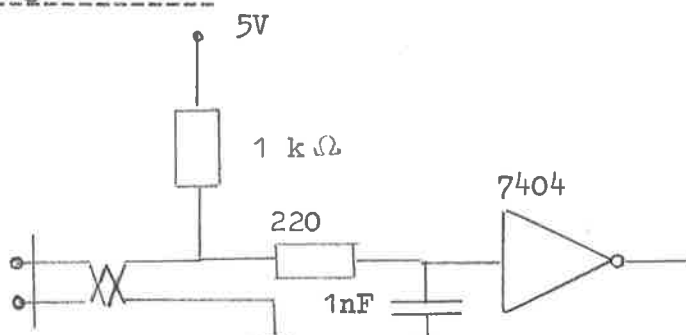
Standardutförandet för Intellec 4 innehåller 4 ingångar och 8 utgångar à 4 bitar.

Varje in-/utgång är av TTL typ, där ROM in-/utgångarna är positiva medan RAM utgångarna är negativa. Med negativ utgång menas att dataöverföringen mellan ackumulatorregistret och utgången komplementeras. In- och utgångarna opererar mellan 0 och +5V. Data- och signaljord är identisk med skyddsford, vilket är $\pm 0,0V$. TTL-standarden följs varmed logiskt låg nivå definieras som större än +2,0V.

All dataöverföring sker via en 37-uttagskontakt som finns på Intellec 4:s baksida. Ev tvinnad parkabel med 110 ohm:s karakteristik erfordras.

För att erhålla korrekta in-/utgångssignaler erfordras ett mindre interface till Intellec 4. Värsta fallet för överhörning uppkommer när 3 av de 4 bitarna vid en given utgång ändrar nivå samtidigt och åt samma håll. Därvid kan en transient med ett toppvärde på 1,6V genereras på den 4:e biten. Därför måste ett lågpassfilter på 220 ohm/0,001 F användas.

Utgångsinterface

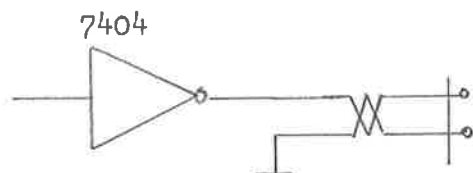


Olyckligtvis kan inte samma teknik användas för insignalerna. I en typisk inputoperation kommer Intellec 4 att kontrollera en testbit ("flagga") för att besluta om en sändare har något data att överföra. Om så är fallet kommer det därför att dröja ett antal cykler innan inkäsning sker och under denna tid hinner eventuella transienter att dö ut.

För att minska felsannolikheten för testbiten kan 2 olika sätt användas. Antingen testas flaggan 2 gångerefter varandra innan beslut fattas

eller så används synkroniserad ingång, varmed menas att Intellec 4 ger en klarsignal för inläsning till interfacet. När interfacet får denna signal sker en inläsning efter $10 \mu\text{s}$.

Ingångsinterface



PROGRAMMERING AV INTELLEC 4Källprogrammet

I källprogrammet anger man lägen eller adresser med symboliska namn t.ex START: JUN SLUT. Alternativt till att ange adressen symboliskt är att ange läget för SLUT relativt START i form av START: JUN β + tal, där tal anger adressdifferansen relativt/START. Talet anges i hexadecimal (H), decimal, oktäl (O) eller binär form (B) och särskiljes med att talet slutar med någon av ovanstående bokstäver. För de hexadecimala måste dock första siffran vara numerisk (0-9) ex: 9FH. BFH är alltså otillåtet. Operanden kan vidare innehålla aritmetiska eller logiska uttryck som utnyttjar operatorerna +, -, * , /, MOD, NOT, AND, OR, XOR, SHR eller SHL. Se manual. Kommentarsatser bör användas flitigt för att öka förståelsen av källprogrammet.

Assemblern

Standardmjukvaran inkluderar en 3 fas assembler på en hålremsa som möjliggör en assemblering till objektкод. För att användarens källprogram skall kunna översättas måste först assemblern läsas in via teletype eller snabbbläsare. Därefter sker första inläsningen av källprogrammet. Vid denna inläsning bildas en tabell över alla symboliska lägen som finns i källprogrammet. Vid andra inläsningen sker en utskrift på alla i programmet förekommande formella fel. Om inga fel finns sker en tredje inläsning varvid källprogrammet översätts till ett objektprogram. Detta objektprogram kan sedan läsas in och lagras i PROM eller program RAM.

Skulle dock källprogrammet innehålla formella fel rättas programmet med hjälp av ett antal editeringskommandon varvid ett korrekt källprogram bildas. Det rättade programmet läses sedan in och proceduren upprepas. Proceduren blir ganska tidsödande om stora otestade program skall assembleras. Därför bör man sträva efter att utnyttja subrutiner och macroinstruktioner så mycket som möjligt och få dessa korrekta innan det stora huvudprogrammet översättes. Ytterligare problem vid assemblering är alla i källprogrammet förekommande sidadresserbara instruktioner.

Följande sidadresserbara instruktioner finns: FIN, JIN, JCN och ISZ.

Dessa instruktioner arbetar enbart korrekt om den sidadresserbara instruktionen och dess adress finns inom samma minnessida. Så blir dock ofta inte fallet, utan man tvingas utnyttja helt minnesadresserbara instruktioner tillsammans med ovanstående instruktioner tills huvudprogrammet helt är klart. Dessa hjälpinstruktioner tas sedan bort. Givetvis kan man acceptera dessa formella fel vid första assembleringen och rätta dess vid varje nytt programtillfälle. Hela assembleringen styrs med hjälp av några få monitorkommandon.

INSTRUKTIONER

- DB, DW användes att lagra data i form av konstanter eller adresser i en del av programminnet. Dessa uppgifter kan sedan utnyttjas med hjälp av instruktionen FIN.
- DS användes för att reservera en del av programminnet för in- och utläsning av data. Inläsning kan ske med hjälp av en WPM-instruktion då programminnet är av typ RAM 2102. Innehållet kan sedan utläsas med en FIN-instruktion.

Akkumulator och indexregisterinstruktioner

De 16 indexregisterna kan adresseras antingen som enskilda register eller som registerpar.

- IAC ackumulatorinnehållet ökas med 1.
 $ACC: = (ACC) + 1$
- DAC ackumulatorinnehållet minskas med 1.
 $ACC: = (ACC) + \overline{(ACC)}$
- INC X innehållet i indexregister X ökas med 1.
 $Reg X: = (Reg X) + 1$
- CLB ackumulatorinnehållet och carryn nollställs.
 $ACC: = 0, Carry : = 0$
- CLC carryn nollställs.
 $carry: = 0$
- STC carryn ettställs
 $carry: = 1$
- CMA ackumulatorinnehållet komplementeras
 $ACC: = \overline{(ACC)}$
- CMC carryn komplementeras
 $carry: = \overline{(carry)}$

ADD X	<p>innehållet i register X samt carryn adderas till innehållet i ackumulatorn</p> $ACC: = (ACC) + (Reg X) + (carry)$
SUB X	<p>innehållet i ackumulatorn minskas med innehållet i register X</p> $ACC: = (ACC) + \overline{(Reg X)} + \overline{(carry)}$
LDM X	<p>ackumulatorn tilldelas värdet X</p> $ACC: = X$
FIM X, Y	<p>registerparet X tilldelas värdet Y</p> $Regpar X: = Y$
LD X	<p>ackumulatorn tilldelas innehållet i registret X</p> $ACC: = (Reg X)$
XCH X	<p>ackumulatorn tilldelas innehållet i registret X och register X tilldelas innehållet i ackumulatorn</p> $ACC: = (Reg X), Reg X: = (ACC)$
RAR	<p>innehållet i ackumulatorn skiftas åt höger genom carryn</p>
RAL	<p>innehållet i ackumulatorn skiftas åt vänster genom carryn</p>
TCC	<p>om carryn är ettställd, så tilldelas ackumulatorn värdet ett varefter carryn nollställs</p> $Carry = 1 \rightarrow ACC: = 1 \text{ och } Carry: = 0$
TCS	<p>om carryn är ettställd, så tilldelas ackumulatorn värdet 10 varefter carryn nollställs. Om carryn däremot är nollställd, så tilldelas ackumulatorn värdet 9</p> $Carry = 1 \rightarrow ACC: = 10, Carry: = 0$ $Carry = 0 \rightarrow ACC: = 9$
DAA	<p>om innehållet i ackumulatorn är större än 9 eller carryn är ettställd så ökas innehållet i ackumulatorn med 6</p> $Carry = 1 \text{ eller } ACC = 9 \rightarrow ACC: = (ACC) + 6$

- KBP om någon bit i ackumulatorn är ettställd så tilldelas ackumulatorn ett tal mellan 1 och 4 som indikerar vilken bit det var. Om fler än en bit är ettställd så tilldelas ackumulatorn värdet 15.
- NOP instruktionen uträttar ingenting. Kan användas som tidsfördröjning i programmet.

Adresspecificerande instruktioner

- JUN X direkt hopp. X motsvarar en 12 bitars adress och anger ett godtyckligt läge i programminnet där programexekveringen skall fortsätta.
- JIN X indirekt hopp. Registerparet X anger de 8 sista bitarna i adressen. De 4 första bitarna anges av programräknaren.
- JCN X, Y villkorligt hopp. Villkoret anges av X och Y motsvarar de 8 sista bitarna i adressen. De 4 första bitarna anges av programräknaren.
- ISZ X,Y villkorligt hopp. Användes för att programmet skall genomlöpa en programsekvens ett visst antal gånger. Det antal gånger som man vill att programsekvensen skall upprepas, anger man genom att register X tilldelas det negativa värdet av antalet önskade upprepningar. Varje gång instruktionen exekveras kommer därvid innehållet i register X att ökas med 1 tills innehållet i registret är noll. Y anger de 8 sista bitarna i återhoppadressen. De 4 första bitarna anges av programräknaren.
- JMS X subrutinhopp. X motsvarar en 12 bitars adress för subrutinen.
- BBL X återhopp från subrutin. Ackumulatorn tilldelas samtidigt värdet X.
- FIN X indirekt utläsning från programminnet. Registerparet X innehåller de 8 sista bitarna i adressen och programräknaren de 4 första. Värdet på den angivna adressen lägges i ackumulatorn.

- DCL val av datarambank vilket sker med hjälp av innehållet i ackumulatorn. Inom en datarambank finns 256 huvudord, 64 statusord och 4 utgångar. Utvald datarambank kvarstår tills nästa DCL-instruktion exekveras.
- SRC X de 8 bitarna i registerparet X användes som adress. Denna adress kan användas för att peka ut ett speciellt huvudord, statusord, ramutgång eller en ROM in-/utgång. Adressspecifikationen beror på vilken typ av in-/ut- eller RAM-instruktion som skall följa. Se manual.

RAM- och I/O-instruktioner

- RDM det av SRC-instruktionen utpekade huvudordet i datarambanken lägges i ackumulatorn.
- WRM innehållet i ackumulatorn inläses i datarambankens huvudord, på den plats som SRC-instruktionen utpekat.
- ADM huvudordet som specificerats av den senaste SRC-instruktionen plus carryn adderas till ackumulatorn.
- SBM huvudordet som specificerats av den senaste SRC-instruktionen och carryn komplementeras innan de adderas till ackumulatorn.
- RDX X specificerar ett av de 4 statusorden som tillhör det dataramregister som tidigare har utpekats med en SRC-instruktion. Statusordet lägges i ackumulatorn.
- WRX X specificerar ett av de 4 statusord som tillhör det dataramregister som tidigare har utpekats med en SRC-instruktion. Statusordets innehåll ersätts med ackumulatorinnehållet.
- WMP innehållet i ackumulatorn tilldelas den Ramutgång som tidigare utpekats med en SRC-instruktion. Ramutgången bibehåller sitt gamla värde tills det ersätts med något nytt.

- RDR innehålllet i Ramingången som tidigare utpekats av en SRC-instruktion lägges i ackumulatorn.
- WRR innehålllet i ackumulatorn tilldelas den Romutgång som tidigare utpekats med en SRC-instruktion. Romutgången bibehåller sitt gamla värde tills det ersätts med något nytt.
- WPM inläsning av data i Program Ram. Se Manual.

Instruktioner för assemblern (Pseudoinstruktioner)

ORG X	anger för assemblern att assembleringen skall börja från läget X.
IF X Instruktioner END IF	om $X = 0$, överhoppas instruktionerna mellan IF X och END IF vid assembleringen. om $X \neq 0$, assembleras instruktionerna som om IF X och END IF inte fanns.
END	talar om för assemblern att källprogrammet är slut.
TITLE X	texten X skrives ut överst på varje sida vid testningen av källprogrammet.
X EQV X	konstanten X tilldelas värdet Y av assemblern varje gång som konstanten sedan upprepas i källprogrammet.
X SET Y	variabeln X tilldelas värdet Y av assemblern vid varje tillfälle som variabeln sedan upprepas i källprogrammet såvida inte variabeln tilldelats ett nytt värde med en ny set-instruktion.
X MACRO Y Instruktioner ENDM	assemblern accepterar instruktionerna mellan X MACRO Y och ENDM som definition för ett delprogram med namnet X och parametrarna Y. Varje gång som namnet X sedan upprepas i källprogrammet översättes detta med ovanstående delprogram och dithörande aktuella parametrar.

Fotnot: Den av Bofors AB ägda Assemblern Version III accepterade inte pseudoinstruktionerna: ORG X, IF X... END IF, TITLE, X MACRO Y .. ENDM

Analog in-/utsignal Spänning (Volt)	Representation i datorn			Hexadecimalt
	Binärt			
9.995	0111	1111	1111	7FF
4.999	0100	0000	0000	400
2.500	0010	0000	0000	200
1.250	0001	0000	0000	100
0.625	0000	1000	0000	080
0.312	0000	0100	0000	040
0.156	0000	0010	0000	020
0.078	0000	0001	0000	010
0.039	0000	0000	1000	008
0.020	0000	0000	0100	004
0.010	0000	0000	0010	002
0.005	0000	0000	0001	001
0.000	0000	0000	0000	000
-0.005	1111	1111	1111	FFF
-0.010	1111	1111	1110	FFE
-0.020	1111	1111	1100	FFC
-0.039	1111	1111	1000	FF8
-0.078	1111	1111	0000	FF0
-0.156	1111	1110	0000	FEO
-0.312	1111	1100	0000	FC0
-0.625	1111	1000	0000	F80
-1.250	1111	0000	0000	FO0
-2.500	1110	0000	0000	E00
-4.999	1100	0000	0000	C00
-9.995	1000	0000	0001	801



MODELS 170/171 A/D CONVERTERS

DESCRIPTION

The Function Modules Models 170/171 family of Analog-to-Digital Converters is designed for accurate and reliable performance, with adjustment-free but versatile operation, at low cost. An improved form of the successive-approximation technique of conversion is used to convert unipolar input voltages (0 to +5V, 0 to +10V, or 0 to +20V) or bipolar input voltages ($\pm 2.5V$, $\pm 5V$, $\pm 10V$) to corresponding digital output codes of straight, offset binary or two's complement. The successive-approximation technique compares the analog input with the output of a D/A converter that tries each bit successively (MSB first) until the D/A output is equal to the analog input. These converters are designed so that the most-significant bit (MSB) is allowed three clock intervals to make a decision while the remaining bits are decided in unit clock intervals. This approach provides improved linearity at no extra cost, and still allows a complete 12-bit conversion to occur in less than 25 μ sec. And by using this technique, Function Modules is able to achieve better than $\pm \frac{1}{2}$ LSB Linearity over a range of $25^{\circ}C \pm 15^{\circ}C$ for Model 170 and $\pm \frac{1}{2}$ LSB Linearity over the full operation temperature range for Model 171. This guarantees there will be *no missing codes* over this temperature range.

Versatility and convenience of operation are key features of the Models 170/171 family. Based on the unprecedented circuit design of the Models 160/161 family, these converters are completely self-contained, low-profile modules that include a precision D/A converter, high-speed high input impedance buffer amplifier, high-speed voltage comparator, precision temperature compensated reference clock, counters and latch circuitry. They are designed for user flexibility. . . By just varying external pin connections, six different analog input ranges and three different types of digital output codes can be obtained. Conversion timing is also under user control. . . a conversion can be initiated by pulsing the Start Convert Input, or can be connected to automatically recycle after each conversion. Both Status and its complement are provided to allow system synchronization with other components: such as output storage latches, sample hold amplifiers, or multiplexers. This highly reliable family of pin-compatible converters from Function Modules takes the worry out of single sourcing.

MODEL NUMBER TABLE

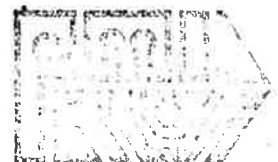
Model	Resolution	Performance	Unit Price (1-9)
170-8	8-Bit	$\pm 30\text{ppm}/^{\circ}C$	
170-10	10-Bit	$\pm 20\text{ppm}/^{\circ}C$	
170-12	12-Bit	$\pm 10\text{ppm}/^{\circ}C$	
171-8	8-Bit	$\pm 10\text{ppm}/^{\circ}C$	
171-10	10-Bit	$\pm 10\text{ppm}/^{\circ}C$	
171-12	12-Bit	$\pm 5\text{ppm}/^{\circ}C$	

FEATURES

- Low Drift. . . $\pm 2\text{ppm}/^{\circ}C$ Zero Drift
 $\pm 5\text{ppm}/^{\circ}C$ Gain Drift
 $\pm 3\text{ppm}/^{\circ}C$ Nonlinearity Drift
- Excellent Differential Linearity
 $\pm \frac{1}{2}$ LSB Max. Nonlinearity
- 8, 10 and 12 Bit Resolutions
- Pin-for-Pin Replacement for . . .
Analog Devices ADC-QM and QZ Series
Burr-Brown ADC- 40 and 50 Series



FUNCTION MODULES, INC.
711 W. Seventeenth St.
Costa Mesa, CA. 92626
Phone: (714) 645-6001



OPERATION

External Reset Mode

A positive-going pulse with a minimum width of 100nsec to the Convert Command input will initiate the conversion cycle. This pulse must be a TTL level (+2.0V min. for HI, +0.8V max for LO) and capable of driving one TTL load. The Status Output will switch to the "1" state approximately 75nsec later and the counters will reset, leaving only the MSB on. The conversion is started on the next clock pulse after the falling edge of the Convert Command pulse. At the end of conversion, the Status Output goes from HI to LO (+2.4V min. to +0.4V max.). At this time, the conversion is completed and the parallel digital output is valid. The conversion will be completed approximately 150nsec ahead of the Status Output negative-going transition, so the leading edge of the Status or Status Output can be used as a strobe to transfer the output data. Because of the technique of conversion, the total conversion time will always be the same regardless of input levels but will never be more than 25 μ sec. Therefore, the converter can be externally commanded to convert at rates of up to 40,000 conversions per second. See Figure 1 for timing diagram.

Recycle Mode

The Models 170/171 can also be made to automatically recycle by connecting the Status Output to the Convert Command Input. The converter will then repetitively perform the conversions yielding the parallel output data approximately every 25 μ sec. The usable data straddles the Status Output for ease of data transfer. The Status Output will be a narrow pulse of approximately 100nsec duration

and it can be used as a strobe pulse to transfer data into an external register such as a type D latch (7474). It is also recommended to use the positive-going edge of the Status Output as the data transfer signal.

Coding

Full-Scale for the Models 170 and 171 is determined by external pin connections. The converter can accept unipolar inputs of 0 to +5V, 0 to +10V or 0 to +20V and bipolar analog inputs of $\pm 2.5V$, $\pm 5V$, $\pm 10V$. One least-significant bit (LSB) and Converter coding is shown in the following table.

CODING TABLE

		Bits (Data Output)										
		MSB	1	2	3	...	9	10	11	12	LSB	
Unipolar Straight Binary	+(F.S.-1LSB)	1	1	1	1	1	1	1	1	1	1	1
	+ $\frac{1}{2}$ F.S.	1	0	0	0	0	0	0	0	0	0	0
	+1LSB	0	0	0	0	0	0	0	0	0	0	1
	0	0	0	0	0	0	0	0	0	0	0	0
Bipolar Offset Binary	+(F.S.-1LSB)	1	1	1	1	1	1	1	1	1	1	1
	+ $\frac{1}{2}$ F.S.	1	1	0	0	0	0	0	0	0	0	0
	+1LSB	1	0	0	0	0	0	0	0	0	0	1
	0	1	0	0	0	0	0	0	0	0	0	0
	-1LSB	0	1	1	1	1	1	1	1	1	1	1
	- $\frac{1}{2}$ F.S.	0	1	0	0	0	0	0	0	0	0	0
-F.S.	0	0	0	0	0	0	0	0	0	0	0	

NOTES:

1. The 170/171's can be connected for a full-scale (F.S.) of +5V, +10V, or +20V for unipolar operation, and $\pm 2.5V$, or $\pm 5V$ or $\pm 10V$ for bipolar operation.
2. The least-significant-bit (LSB) weights are:

	$1/2^n$	LSB for 5V Span	LSB for 10V Span	LSB for 20V Span
8 Bit	0.003906	19.53mV	39.06mV	78.12mV
10 Bit	0.0009766	4.88mV	9.77mV	19.52mV
12 Bit	0.00024414	1.22mV	2.44mV	4.88mV
3. For Two's Complement coding, use the MSB output as the first bit (Bit 1).

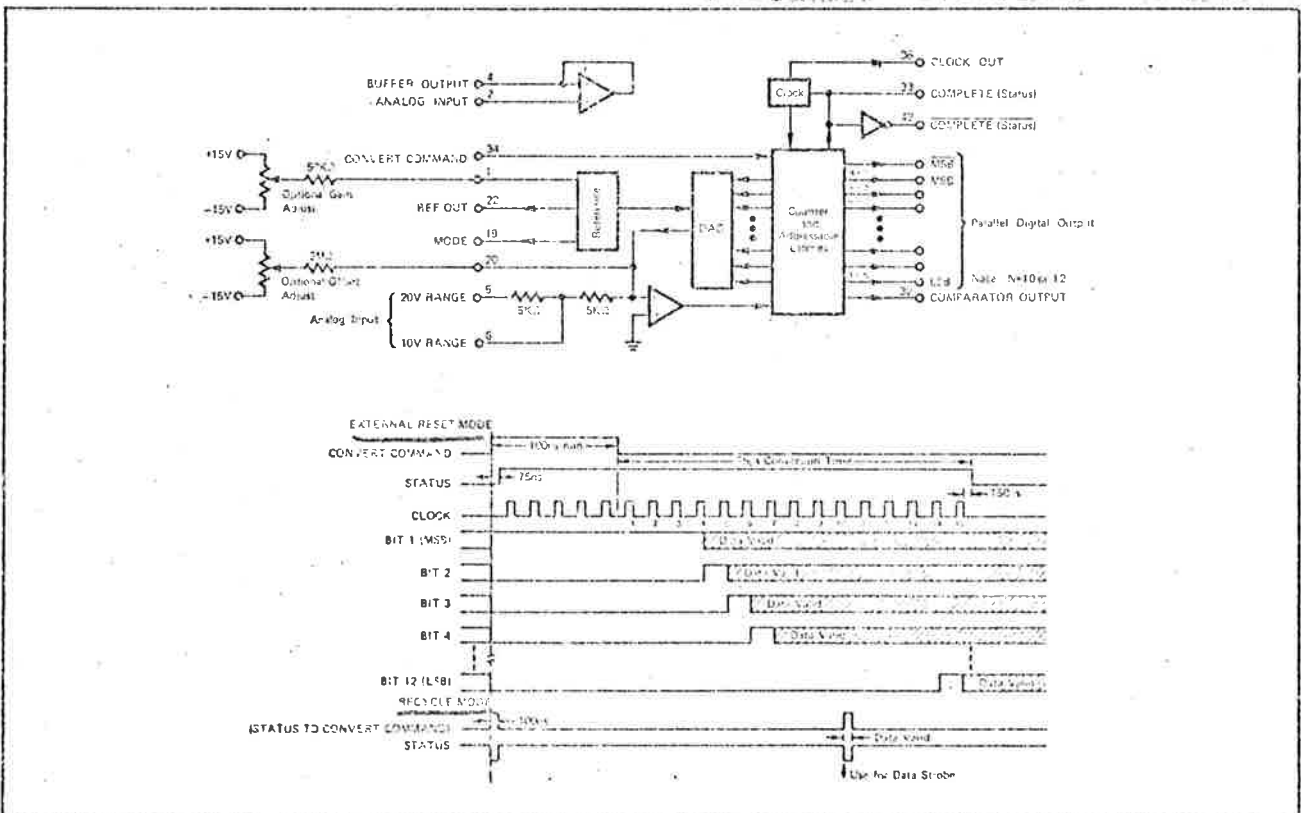


Figure 1 Block & Timing Diagram

ELECTRICAL SPECIFICATIONS

(Typical at +25°C and rated power supplies unless otherwise noted)

MODEL	170			171		
RESOLUTION	8 Bit	10 Bit	12 Bit	8 Bit	10 Bit	12 Bit
ACCURACY						
Quantizing Error	±½LSB	±½LSB	±½LSB	±½LSB	±½LSB	±½LSB
Nonlinearity Error	±½LSB	±½LSB	±½LSB	±½LSB	±½LSB	±½LSB
Offset Error ¹	±10mV	±5mV	±5mV	±5mV	±5mV	±5mV
Gain Error (Scale Factor)	±0.2%	±0.1%	±0.1%	±0.1%	±0.1%	±0.1%
STABILITY						
Offset vs. Temperature						
Unipolar	±5ppm/°C	±5ppm/°C	±3ppm/°C	±3ppm/°C	±3ppm/°C	±2ppm/°C
Bipolar	±30ppm/°C	±20ppm/°C	±10ppm/°C	±10ppm/°C	±10ppm/°C	±5ppm/°C
Gain vs. Temperature	±30ppm/°C	±20ppm/°C	±10ppm/°C	±10ppm/°C	±10ppm/°C	±5ppm/°C
Differential Nonlinearity vs. Temperature	±20ppm/°C	±15ppm/°C	±5ppm/°C	±5ppm/°C	±5ppm/°C	±3ppm/°C
Guaranteed Monotonic Gain vs. Supply (PSRR on ±15V only)	+0° to +70°C	+0° to +60°C	+10°C to +40°C	+0°C to +70°C	+0°C to +70°C	
Warm-up Time		±0.02%/ΔVs 5 Minutes			±0.002%/ΔVs 5 Minutes	
CONVERSION TIME	25 μsec					
ANALOG INPUT						
Input Voltage Ranges	0 to +5V, 0 to +10V, 0 to +20V					
Unipolar	±2.5V, ±5V, ±10V					
Bipolar						
Input Impedance						
0 to +5V, ±2.5V	2.5KΩ					
0 to +10V, ±5V	5.0KΩ					
0 to +20V, ±10V	10.0KΩ					
With Buffer Amplifier (exclude 0 to +20V)	100MΩ					
LOGIC INPUT						
Start Conversion	TTL Level (1 load) ²					
DIGITAL OUTPUT						
Logic Level	TTL Level (4 loads) ²					
Status	TTL Level (4 loads) ²					
Codes	Straight Binary, Offset Binary, Two's Complement					
INTERNAL REFERENCE	+6.2V nominal					
TEMPERATURE RANGE						
Rated	0°C to +70°C					
Operation	-25°C to +85°C					
Storage	-55°C to +100°C					
POWER SUPPLY						
Voltage	±15V (±14V to ±16V) and +5V					
Current						
+15V	30mA					
-15V	20mA					
+5V	200mA					
PRICE (1-9)						
<p>(1) Doubts when connected for bipolar operation.</p> <p>(2) One TTL load unit is -1.6mA Max. at LO input (+0.4V) and +40μA Max. at HI input (+2.4V). For all logic levels, "0" is less than +0.8V and "1" is more than 2.0V.</p>						

MODEL S 414/416/418



DESCRIPTION

Function Modules 414/416/418 family of low-cost, high-performance 14 bit binary, 16 bit binary, 4 digit BCD or $\pm 4\text{-}1/2$ digit BCD Digital-to-Analog Converters is designed for accurate and reliable performance, with adjustment free but versatile operation. Each converter is completely self-contained and ready to operate in a 2" X 3" X 0.4" package with built-in temperature compensated reference network, $\pm 2\text{ppm}/^\circ\text{C}$ binary or BCD weighted wire wound resistor network, fast current switches, and output amplifier.

The binary Models 414-BIN and 416-BIN both offer external selectable output options. Either current output or voltage output can be obtained by selecting the appropriate pins. These binary versions are also capable by pin selection to accept either straight binary input for unipolar operation or offset binary input for bipolar operation. Two's complement coding can also be obtained by driving the MSB (Most-Significant-Bit, Bit 1) with a complement input ($\overline{\text{MSB}}$).

The BCD Model 416-BCD is a 4 digit unipolar DAC with both current or voltage outputs available. The Model 418-BCD is a $\pm 4\text{-}1/2$ digit bipolar DAC with only voltage output available. Full scale output ranges for the 414-BIN and 416-BIN are 0 to +2mA or $\pm 1\text{mA}$ in the current output mode and 0 to -10V, $\pm 5\text{V}$ or $\pm 10\text{V}$ at 5mA is available in the voltage mode. The full-scale output range for the 416-BCD is 0 to +1.25mA in the current mode and 0 to -10V at 5mA in the voltage mode. The Model 418-BCD will provide $\pm 10\text{V}$ at 5mA.

While an internal reference is included in each model, provisions have been made for the use of an external reference. This feature is useful in systems where several DAC's must track closely over a wide temperature range. For more detailed information, see Functional Block diagram on page 3.

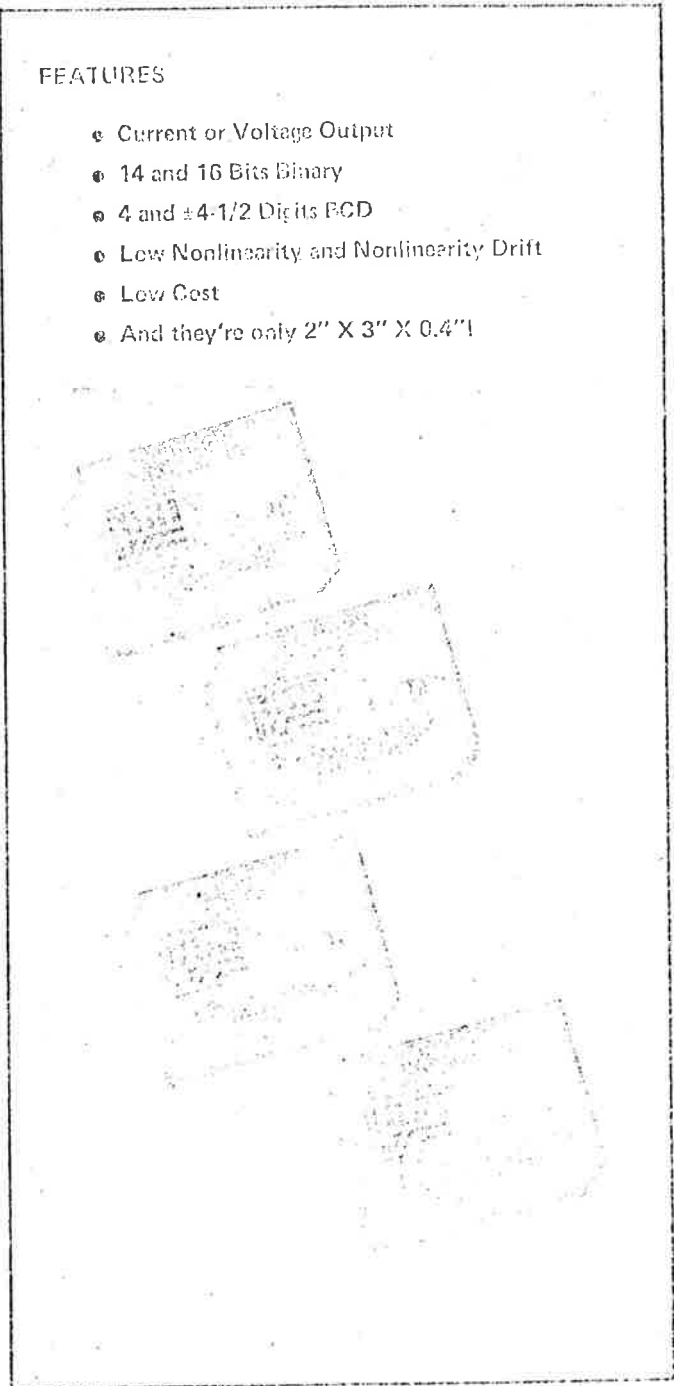
The low nonlinearity drift, small size and versatility of operation makes this low-cost converter family a best buy in high performance D/A Converters.

MODEL NUMBER TABLE

Model	Resolution	Nonlinearity	V_s Temperature	Price
414-BIN	14 Bit Binary	$\pm 0.003\%$	$\pm 2\text{ppm}/^\circ\text{C}$	
416-BIN	16 Bit Binary	$\pm 0.002\%$	$\pm 2\text{ppm}/^\circ\text{C}$	
416-BCD	4 Digit BCD	$\pm 0.003\%$	$\pm 2\text{ppm}/^\circ\text{C}$	
418-BCD	$\pm 4\text{-}1/2$ Digit BCD	$\pm 0.003\%$	$\pm 2\text{ppm}/^\circ\text{C}$	

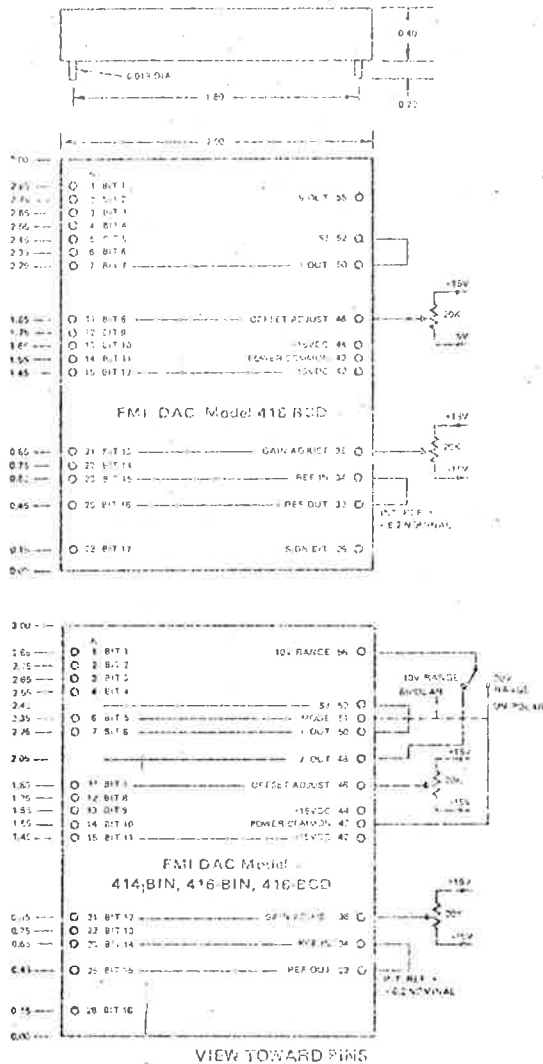
FEATURES

- Current or Voltage Output
- 14 and 16 Bits Binary
- 4 and $\pm 4\text{-}1/2$ Digits BCD
- Low Nonlinearity and Nonlinearity Drift
- Low Cost
- And they're only 2" X 3" X 0.4"!



FUNCTIONAL MODULES, INC. 282 BROOKAW RD., SANTA CLARA, CALIF., 95050, TWX: 910 330 0251 TELEPHONE: (408) 244-0500 ... a subsidiary of Intellect Incorporated

OUTLINE DIMENSIONS



CASE: Black -- Diallyl Phthalate
 PINS: Gold Flashed over Silver Plated 1/2 Hard Brass
 WEIGHT: 3.0 oz.

PIN CONNECTIONS

1. For unipolar operations connect MODE (pin 51) to COMMON (pin 43).
2. For bipolar operation connect MODE (pin 51) to I OUT (pin 50).
3. MODE pin not available on 416-BCD or 418-BCD.
4. For current output use I OUT (pin 50).
5. For voltage output connect I OUT (pin 50) to SJ (pin 52). Use V OUT (pin 48) for Models 414 and 416, and use V OUT (pin 55) for Model 418.
6. For 20V span, connect 10V RANGE (pin 56) to COMMON (pin 43). For 10V span, connect 10V RANGE (pin 56) to V OUT (pin 48). 10V RANGE (pin 56) not available on Model 416-BCD or Model 418 BCD.
7. When using internal reference, connect REF OUT (pin 32) to REF IN (pin 34).
8. The logic input ground must also be referenced to the $\pm 15V$ analog common.

OPTIONAL EXTERNAL ADJUSTMENTS

OFFSET ADJUST

As a user option, the output offset voltage can be adjusted by connecting the wiper of a 20K Ω pot with $\pm 15V$ excitation voltage to the OFFSET ADJUST (pin 46). This will provide approximately $\pm 45mV$ of adjustment. If finer adjustment is desired, then the range of adjustment can be reduced by adding an external resistor in series with the pot wiper and the internal 3.3M Ω resistor. Pin 46 should be connected to analog common if an adjustment is not needed. See Functional Block Diagram for details.

GAIN ADJUST

The gain, or scale factor, may also be externally adjusted. A 20K Ω trim pot with excitation voltage of $\pm 15V$ and the wiper connected to GAIN ADJUST (pin 36) will provide approximately $\pm 0.5\%$ range of adjustment. If finer adjustment is desired, then the range of adjustment can be reduced by adding an external resistor in series with the pot wiper and the internal 3.3M Ω resistor. Pin 36 should be connected to analog common if an adjustment is not needed. See Functional Block Diagram for details.

ORDER OF ADJUSTMENT

The proper procedure for the optional external offset and gain adjustment is as follows:

Unipolar Operation -- With an all digital "0" input, adjust offset control for zero output. Then with all digital "1" inputs, adjust GAIN control for minus full scale output less one least-significant-bit $(-F.S. -LSB)$ for binary.

Bipolar Operation -- With an all digital "0" input, adjust OFFSET control for plus Full Scale ($+5V$ for 10V span or $+10V$ for 20V span). Then with all digital "1" inputs, adjust GAIN control for minus full scale less one least-significant-bit $(-F.S. -LSB)$. This sets the correct output span by setting the end points. If it is desired to obtain zero output for a "100...0000" input (offset binary), adjust the OFFSET control for zero output for this input word.

DIRECT SALES OFFICES

Massachusetts (617) 535-3055
 Southern California (714) 645-6001

FUNCTION MODULES, INC.
 282 BROOKAW RD., SANTA CLARA,
 CALIF., 95050, TWX: 910 338 0254
 TELEPHONE: (408) 244-0500
 ... a subsidiary of **Infotech Incorporated**

OPERATION

Figures 1 and 2 are the Functional Block Diagrams for the 414, 416 and 418. The reference network provides a stable voltage for the weighted current sources. If an external reference is not being used, the REF IN (pin 34) must be connected to REF OUT (pin 32) for proper operation. It is recommended to drive the REF IN from an operational amplifier or other low impedance source when using an external reference. When each current source has its control input (bit input) connected to a Logic "1" level, that current source's contribution will appear on the current output summing bus I OUT (pin 50).

The 414 and 416 can be selected for either voltage or current mode of operation. If a voltage output is desired, simply connect the I OUT (pin 50) to the amplifier summing junction, SJ, (pin 52). For a current output, leave pin 52 open and use the current output, I OUT, (pin 50). However, the maximum output voltage compliance of the current source's is $\pm 1V$, which means the maximum resistance to ground is $1V \div 2mA = 500\Omega$ for unipolar operation and $\pm 1V \div \pm 1mA = 1K\Omega$ for bipolar operation. To select bipolar operation connect the MODE output (pin 51) to I OUT (pin 50). This provides a negative current equal to the MSB (bit 1) that offsets the output. When operated in the unipolar mode, the MODE output (pin 51) must be connected to system ground to maintain the proper loading levels within the module.

The binary versions have two output ranges selectable by external connections. For a 10V output range, connect 10V RANGE (pin 56) to V OUT (pin 48), and for a 20V output range connect 10V RANGE (pin 56) to the system analog ground.

The 418-BCD is fundamentally in a voltage mode of operation. It can, however, be operated in a current mode, but the polarity or sign bit cannot be used and the output will be unipolar only. For voltage operations, connect I OUT (pin 50) to SUMMING JUNCTION (pin 52). V OUT (pin 55) is the bipolar output.

CODING

Full scale output for the Models 414/416/418 is determined by external pin connections. The coding table below illustrates the Analog Output versus the Digital Input and the least-significant-bit (LSB) weights for each converter.

Analog Output	BITS (Digital Input)								
	POLARITY (418 BCD only)	10V RANGE (418 BCD only)	MSB	20B	30B	40B	50B	60B	
Unipolar - Straight Binary Models 414 BIK 416 BIN	-1/2 F.S.	-1/2 F.S.	-1 LSB	0	0	0	0	0	0
Bipolar - Offset Binary Models 414 BIK-BN 416 BIN	-1/2 F.S.	-1/2 F.S.	-1 LSB	0	0	0	0	0	0
Unipolar - BCD Model 418 BCD	-1/2 F.S.	-1/2 F.S.	-1 LSB	0	0	0	0	0	0
Bipolar - BCD Model 418 BCD	-1/2 F.S.	-1/2 F.S.	-1 LSB	0	0	0	0	0	0

NOTES:

- The Least-Significant-Bit (LSB) weights are:

	No. of Steps	LSB For 10V Span	LSB For 20V Span
414-BIN	16384	0.61mV	1.22mV
416-BIN	65536	0.15mV	0.30mV
418-BCD	9999	1.00mV	-
418-BCD	± 19999	-	0.5mV
- The 414-BIN and 416-BIN can be connected for a full scale (F.S.) output voltage of -10V for unipolar operation and $\pm 5V$ or $\pm 10V$ for bipolar operation. The 418-BCD full-scale (F.S.) output voltage is -10V, and the 418-BCD is $\pm 10V$.

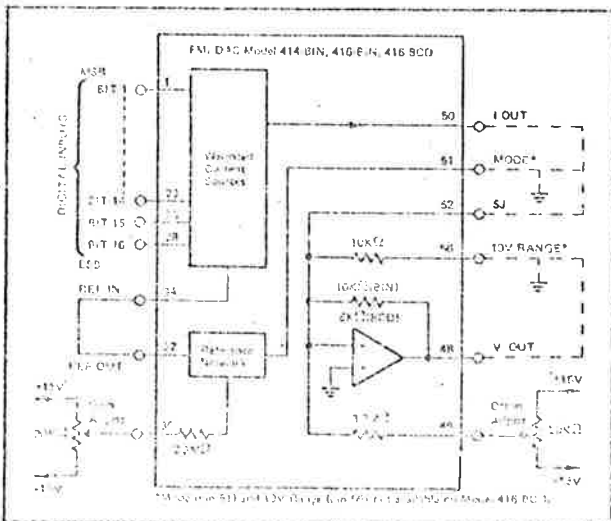


Figure 1. Functional block Diagram of 414 & 416

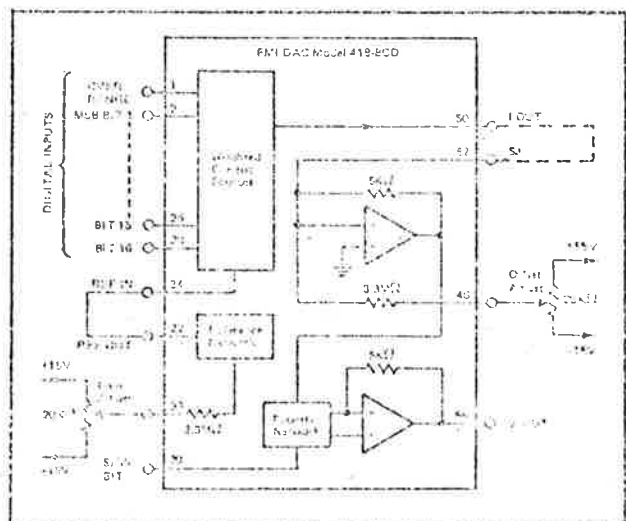


Figure 2. Functional Block Diagram 418

ELECTRICAL SPECIFICATIONS

(Typical at 125°C and rated power supplies unless otherwise noted.)

MODEL	414-DIN	416-BIN	416-BCD	418-BCD
RESOLUTION	14 Bit Binary	16 Bit Binary	4 Digit BCD	±1-1/2 Digit BCD
ACCURACY Nonlinearity Scale Factor(1), Voltage Offset(1)	±0.003% ±0.02% ±2mV	±0.002% ±0.02% ±2mV	±0.005% ±0.02% ±2mV	±0.005% ±0.02% ±2mV
STABILITY Nonlinearity Scale Factor Offset Unipolar Bipolar Power Supply Rejection	±3ppm/°C ±7ppm/°C ±3ppm/°C ±7ppm/°C	±2ppm/°C ±7ppm/°C ±2ppm/°C ±5ppm/°C	±3ppm/°C ±7ppm/°C ±2ppm/°C N/A	±3ppm/°C ±10ppm/°C N/A ±5ppm/°C
SETTLING TIME	100 µsec to within ±0.002% of final value			
ANALOG OUTPUT RANGES Unipolar Current Voltage Bipolar Current Voltage Loading Current Voltage	0 to +2mA 0 to -10V -1mA to +1mA ±5V & ±10V		0 to +1.25mA 0 to -10V N/A N/A	0 to +2mA N/A N/A ±10V
DIGITAL INPUTS TTL & CMOS Compatible "0" "1"			0 to 0.8V +2.4V to +15V	
INTERNAL REFERENCE	-6.2V nominal			
TEMPERATURE RANGE Rated Operating Storage	0°C to +70°C -25°C to +85°C -55°C to +100°C			
POWER REQUIREMENTS Voltage Current	±15V ±25mA			
PACKAGE	2" X 3" X 0.4"			
PRICE (1-24)				
(1) Both Scale Factor and Offset can be externally adjusted to eliminate any initial errors. Double error when connected for bipolar operations.				