



LUND UNIVERSITY



EITM01 Examensarbete i elektro- och informationsteknik

Utveckling av en ny verifikationsmiljö med UVM standard för ett GPU-hårdvarublock Universal Verification Methodology (UVM)

Populärvetenskaplig sammanfattning

Niklas KARLSSON (19930809-5117)
tfr13nk1@student.lu.se

Erik LARSSON,Handledare LTH
erik.larsson@eit.lth.se

Pedro ARAÚJO,Handledare ARM
pedro.araujo@arm.com

Pietro ANDREANI,Examinator LTH
pietro.andreani@eit.lth.se

Start datum
2020-01-20

Redovisat
2020-06-09

Fullständig rapport: Development of a new verification environment for a GPU hardware block using the Universal Verification Methodology (UVM)

POPULÄRVETENSKAPLIG SAMMANFATTNING

Uppfinnandet av den integrerade kretsen banade väg för dagens datorer, mobiltelefoner och all annan elektronik som är en självklar del av vår vardag. En integrerad krets består idag av hundramiljontals halvledarkomponenter som sitter ihop med varandra på ett så kallat chip. Komplexiteten och antalet komponenter på chipen fortsätter att öka vilket har förändrat utvecklingsprocessen. Ett chip som tidigare sågs som ett system utvecklas idag som separata block och monteras sedan ihop till det slutliga systemet. För att företag ska kunna hålla produktionstiden kort och kostnaderna låga har verifikation med åren blivit en allt viktigare del i utvecklingen av integrerade kretsar. Verifikation innebär att en krets kontrolleras så att den uppfyller kraven i specifikationen innan den skickas för tillverkning genom att simulera designen. Därigenom kan eventuella fel upptäckas och åtgärdas tidigt i utvecklingsprocessen.

För att verifiera kretsen används en verifieringsmiljö, även kallat testbänk, vars uppgift är att generera insignaler till designen och sedan samla in utsignalerna. Genom att analysera utsignalerna går det att avgöra om kretsen har korrekt beteende eller om fel behöver åtgärdas. I takt med att antalet komponenter ökar och kretsarna blir mer avancerade ökar också svårigheten i att på ett effektivt sätt utförligt verifiera all funktionalitet i designen. Ofta verifieras block först enskilt och sedan tillsammans med de andra blocken i kretsen. Många olika simulatorer och språk har utvecklats och förfinats för att möta behoven hos ingenjörer som utvecklar verifikationsmiljöer. SystemVerilog har blivit det dominerande språket men kompletteras oftast med en verifikations metodologi.

Det här arbete kommer att utveckla en ny verifieringsmiljö enligt Universal Verification Methodology för att undersöka hur denna verifierings metodologi kan användas när olika separat utvecklade block ska verifieras tillsammans. Ett hårdvarublock i en grafisk processor kommer användas och UVM standarden kommer att analyseras utifrån hur den påverkar strukturen på verifieringsmiljön och dess prestanda. Det kommer resultera i ett antal riktlinjer för hur metodologin ska användas effektivt för block integrerande verifisering generellt och verifikation av grafiska processorer specifikt.